

**PROGETTO E VERIFICA DI UNA RETE LOGICA SEQUENZIALE ASINCRONA CON PORTE LOGICHE. REALIZZAZIONE DELLA STESSA CON LATCH SR E D, ECON FLIP-FLOP JK.**

**Definizione della funzione logica**

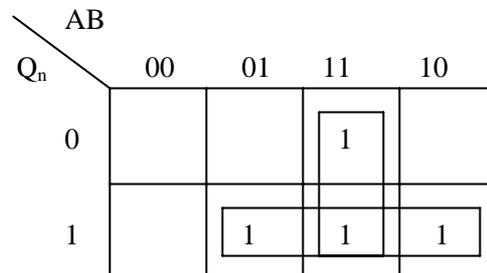
Ci proponiamo la realizzazione di un circuito sequenziale asincrono, ossia di un circuito per il quale non compare nella tabella degli stati la condizione  $\bar{Q}_n$ , che porterebbe a problemi di corsa critica. Si vuole realizzare il circuito con la seguente tabella degli stati:

A	B	$Q_{n+1}$
0	0	0
0	1	$Q_n$
1	0	$Q_n$
1	1	1

**REALIZZAZIONE CON PORTE LOGICHE**

L'uscita dipende, oltre che dagli ingressi, dallo stato precedente dell'uscita. Si scrive una tabella di verità a tre variabili: due sono A e B, la terza è  $Q_n$  (l'uscita  $Q_{n+1}$  dipende dallo stato attuale degli ingressi A e B e dallo stato precedente dell'uscita,  $Q_n$ ).

A	B	$Q_n$	$Q_{n+1}$
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1



Si determina la funzione algebrica utilizzando una mappa di Karnaugh a tre variabili. Si possono fare tre gruppi da due, ottenendo:

$$Q_{n+1} = AB + AQ_n + BQ_n \quad \text{ovvero} \quad Q = AB + AQ + BQ$$

Poiché non sono disponibili in laboratorio circuiti integrati con porte OR a tre ingressi, dovremo utilizzare porte OR a due ingressi e realizzare con queste la porta OR a tre ingressi:

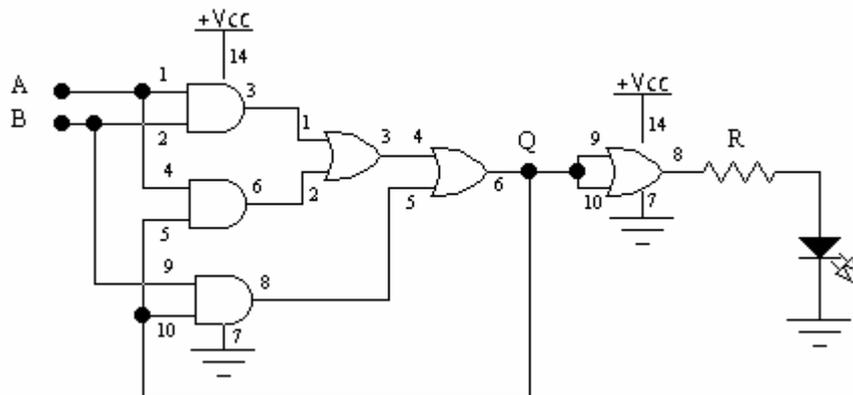
$$Q = AB + AQ + BQ = (AB + AQ) + BQ$$

Il circuito risultante è quello di figura (ed è anche lo schema di montaggio).

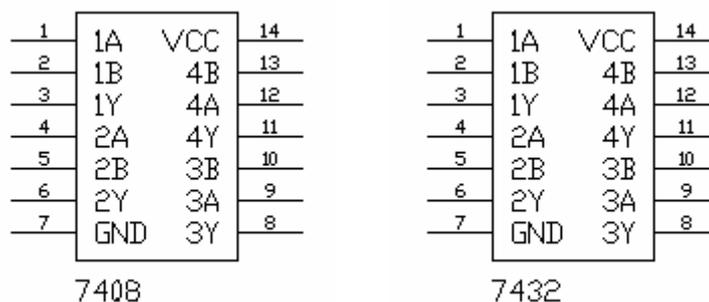
Verrà visualizzato lo stato logico dell'uscita Q mediante un diodo LED: acceso stato logico 1 (alto); spento stato logico 0 (basso).

Per non caricare, ed eventualmente influenzare, l'uscita Q, tra il diodo LED e l'uscita Q viene interposta una porta OR a due ingressi (utilizzata come porta di trasmissione) ai cui ingressi viene

collegata l'uscita Q e alla sua uscita, che riproduce gli stati logici di Q, il diodo LED. Questa porta logica fungerà da buffer tra l'uscita Q e il diodo LED. Inoltre, tra i circuiti integrati necessari alla realizzazione del circuito, sarà in genere disponibile una qualunque porta da utilizzare come buffer.



I circuiti integrati utilizzati sono: un 74LS08 (4 AND a 2 IN); un 74LS32 (4 OR a 2 IN); la cui piedinatura è riportata di seguito.



Si dimensiona il valore della resistenza R di polarizzazione del diodo LED assumendo:

$$V_{oHm} = 2,4V; V_F = 2V; I_F = 5mA \Rightarrow R = \frac{V_{oHm} - V_F}{I_F} = \frac{5 - 2,4}{5 \cdot 10^{-3}} = 80\Omega, \text{ valore commerciale } 100\Omega.$$

### Procedimento di verifica

1. Si prepara una tabella degli stati con una colonna aggiuntiva in cui verrà riportato lo stato del diodo LED ( Acc oppure Sp).
2. Si monta il circuito, seguendo lo schema, e si collega il generatore.
3. Si collegano A e B a massa (entrambi a 0 logico) e si verifica LED spento.
4. Si collegano A e B a +5V (entrambi a 1 logico) e si verifica LED spento.
5. Si passa ad A e B collegati rispettivamente a massa e a +5V (A = 0 e B = 1) da ognuna delle altre tre combinazioni, e si verifica che il LED rimane acceso o spento: non modifica il suo stato, ossia passiamo ad uno stato di memoria e l'uscita conserva lo stato precedente.
6. Si passa ad A e B collegati rispettivamente a +5V e a massa (A = 1 e B = 0) da ognuna delle altre tre combinazioni, e si verifica che il LED rimane acceso o spento: non modifica il suo stato, ossia passiamo ad uno stato di memoria e l'uscita conserva lo stato precedente.
7. Si riassume nella tabella degli stati.

A	B	$Q_{n+1}$	LED	Commenti
0	0	0	Sp	Forza l'uscita a 0
0	1	$Q_n$	Non cambia	Conserva lo stato precedente
1	0	$Q_n$	Non cambia	Conserva lo stato precedente
1	1	1	Acc	Forza l'uscita a 1

Lo stesso circuito può essere realizzato utilizzando un latch SR o D oppure un flip-flop JK.

## REALIZZAZIONE CON LATCH SR

Si devono determinare le equazioni degli ingressi S e R. Si scrive la tabella degli stati del circuito in cui, in una terza colonna, si riportano gli ingressi S e R e si stabilisce il valore logico di S e R in base alla tabella degli stati del Latch SR.

S	R	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	1
1	1	NA

A	B	$Q_{n+1}$	S	R
0	0	0	0	1
0	1	$Q_n$	0	0
1	0	$Q_n$	0	0
1	1	1	1	0

Le equazioni degli ingressi sono:  $R = \overline{AB}$  ;  $S = AB$

Al fine di utilizzare un solo circuito integrato, le funzioni S e R si possono realizzare, applicando il Teorema di De Morgan, con sole porte NOR:

$$R = \overline{AB} = \overline{A + B} \quad ; \quad S = AB = \overline{\overline{A} + \overline{B}}$$

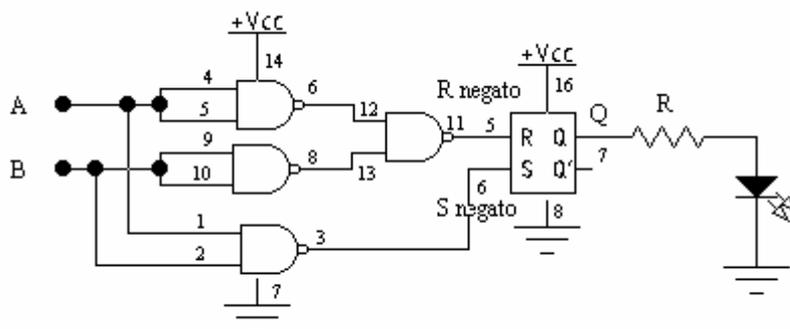
in totale 4 porte NOR a 2 IN, un solo circuito integrato, il 7402 con 4 NOR a 2 IN.

Per quanto riguarda il latch SR disponiamo solo del 74279, 4 LATCHES  $\overline{SR}$ , con ingressi negati. Pertanto, le funzioni E ed R devono essere a loro volta negate:

$$\overline{R} = \overline{\overline{AB}} \quad ; \quad \overline{S} = \overline{AB}$$

Verrà utilizzato un integrato 7400 con 4 NAND a 2 IN.

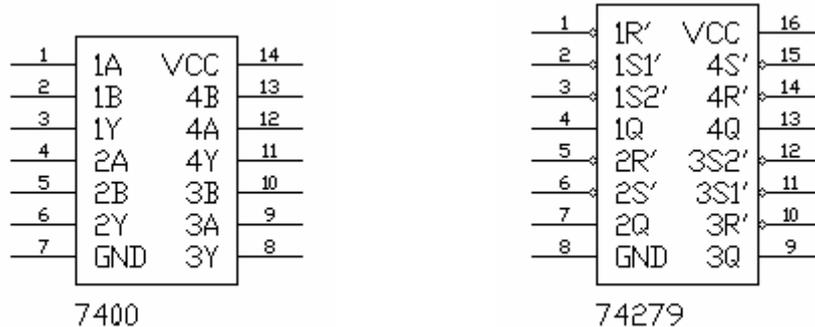
Il circuito finale (e lo schema di montaggio) è quello di figura, in cui è previsto un diodo LED per rilevare lo stato logico di Q.



Si dimensiona il valore della resistenza R di polarizzazione del diodo LED assumendo:

$$V_{oHm} = 2,4V; V_F = 2V; I_F = 5mA \Rightarrow R = \frac{V_{oHm} - V_F}{I_F} = \frac{2,4 - 2}{5 \cdot 10^{-3}} = 80\Omega, \text{ valore commerciale } 100\Omega.$$

I circuiti integrati utilizzati sono: un 74LS00 (4 NAND a 2 IN); un 74LS279 (4 LATCHES  $\overline{SR}$ ); la cui piedinatura è riportata di seguito.



## REALIZZAZIONE CON LATCH D

L'ingresso di **enable** viene utilizzato per ottenere lo stato di memoria: E = 1 l'uscita cambia in corrispondenza delle variazioni dell'ingresso D (il latch è abilitato al funzionamento); E = 0 l'uscita non cambia e mantiene lo stato precedente alla variazione di A e B (il latch non è abilitato al funzionamento).

Si devono determinare le equazioni degli ingressi E e D. Si scrive la tabella degli stati del circuito in cui, in una terza colonna, si riportano gli ingressi E e D e si stabilisce il valore logico di E e D in base alla tabella degli stati del Latch D.

E	D	$Q_{n+1}$
0	X	$Q_n$
1	0	0
1	1	1

A	B	$Q_{n+1}$	E	D
0	0	0	1	0
0	1	$Q_n$	0	X
1	0	$Q_n$	0	X
1	1	1	1	1

Le equazioni degli ingressi sono:  $E = \overline{AB} + AB = \overline{A \oplus B}$  ;  $D = AB = \overline{\overline{AB}}$  oppure  $D = A + B$ .

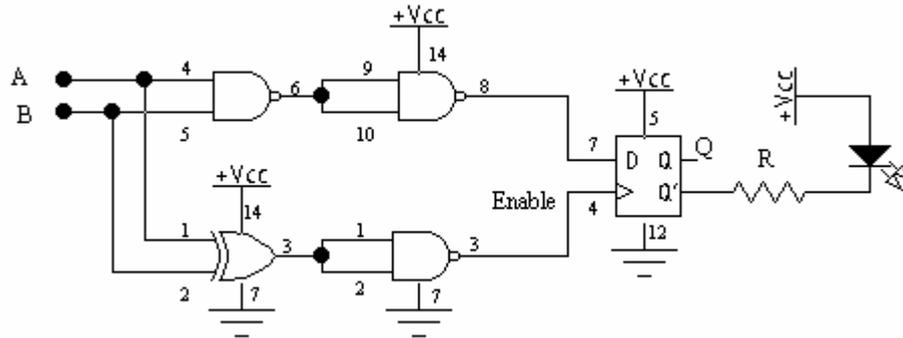
Per E utilizziamo una porta EX-OR e ne neghiamo l'uscita con una porta NAND a 2 IN. Realizziamo, quindi, D con 2 NAND a 2 IN.

Il circuito finale (e lo schema di montaggio) è quello di figura, in cui è previsto un diodo LED per rilevare lo stato logico di Q. Poiché è disponibile anche l'uscita negata del latch D, colleghiamo il diodo LED a tale uscita. Il diodo LED deve accendersi quando  $\overline{Q}$  è a livello basso, 0 logico, e spegnersi quando  $\overline{Q}$  è a livello alto, 1 logico. Si deve collegare il LED con l'anodo collegato a  $V_{CC}$  e il catodo verso l'uscita  $\overline{Q}$ .

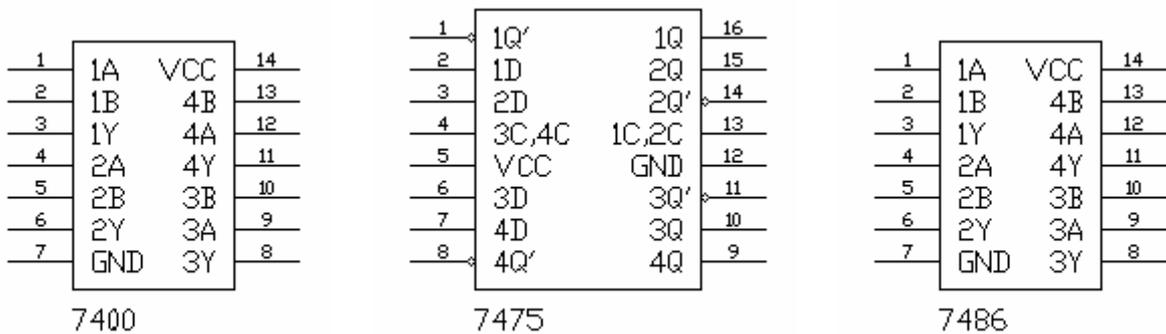
Si dimensiona il valore della resistenza R di polarizzazione del diodo LED assumendo:

$$V_{oLM} = 0,4V; V_{CC} = 5V; V_F = 2V; I_F = 10mA \Rightarrow$$

$$\Rightarrow R = \frac{V_{CC} - V_{oLM} - V_F}{I_F} = \frac{5 - 2,4 - 2}{10 \cdot 10^{-3}} = 260\Omega, \quad \text{valore commerciale } 270\Omega.$$



I circuiti integrati utilizzati sono: un 74LS00 (4 NAND a 2 IN); un 7475 (4 LATCHES D); un 7486 (4 EX-OR a 2 IN); la cui piedinatura è riportata di seguito.



## REALIZZAZIONE CON FLIP-FLOP JK

Il FFJK può essere solo sincrono. Le commutazioni avverranno in corrispondenza di un impulso di clock. Pertanto, all'ingresso di clock inseriamo un segnale di clock di  $30 \div 50$  Hz, che garantisce l'apparente commutazione dell'uscita contemporaneamente al cambio dello stato logico degli ingressi A e B.

Si devono determinare le equazioni degli ingressi J e K. Si scrive la tabella degli stati del circuito in cui, in una terza colonna, si riportano gli ingressi J e K e si stabilisce il valore logico di J e K in base alla tabella degli stati del FFJK.

J	K	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	1
1	1	$\overline{Q_n}$

A	B	$Q_{n+1}$	J	K
0	0	0	0	1
0	1	$Q_n$	0	0
1	0	$Q_n$	0	0
1	1	1	1	0

Le equazioni degli ingressi sono:  $K = \overline{AB}$  ;  $J = AB$

Al fine di utilizzare un solo circuito integrato, le funzioni J e K si possono realizzare, applicando il Teorema di De Morgan, con sole porte NOR:

$$K = \overline{\overline{A}B} = \overline{A + B} \quad ; \quad j = AB = \overline{\overline{A} + \overline{B}}$$

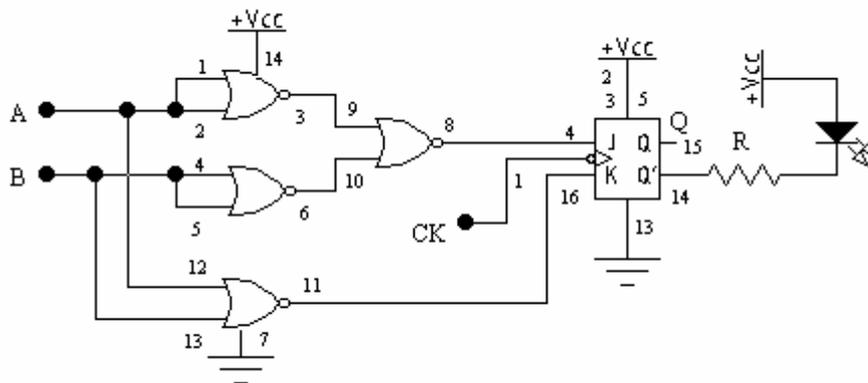
in totale 4 porte NOR a 2 IN, un solo circuito integrato, il 7402 con 4 NOR a 2 IN.

Il circuito finale (e lo schema di montaggio) è quello di figura, in cui è previsto un diodo LED per rilevare lo stato logici di Q. Poiché è disponibile anche l'uscita negata del latch D, colleghiamo il diodo LED a tale uscita. Il diodo LED deve accendersi quando  $\overline{Q}$  è a livello basso, 0 logico, e spegnersi quando  $\overline{Q}$  è a livello alto, 1 logico. Si deve collegare il LED con l'anodo collegato a  $V_{CC}$  e il catodo verso l'uscita  $\overline{Q}$ .

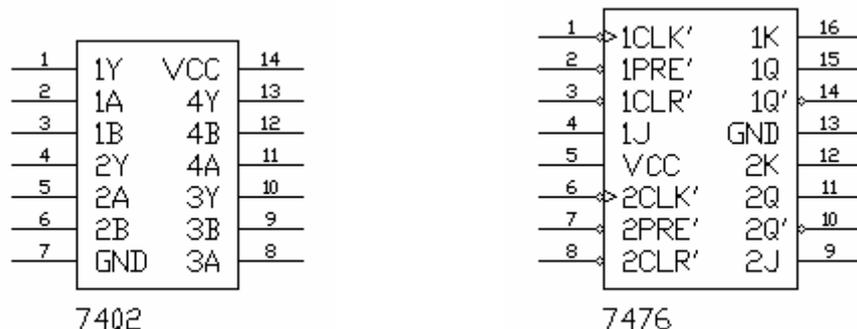
Si dimensiona il valore della resistenza R di polarizzazione del diodo LED assumendo:

$$V_{oLM} = 0,4V; V_{CC} = 5V; V_F = 2V; I_F = 10mA \quad \Rightarrow$$

$$\Rightarrow R = \frac{V_{CC} - V_{oLM} - V_F}{I_F} = \frac{5 - 2,4 - 2}{10 \cdot 10^{-3}} = 260\Omega, \quad \text{valore commerciale } 270\Omega.$$



I circuiti integrati utilizzati sono: un 74LS02 (4 NOR a 2 IN); un 74LS76 (2 FFJKNET); la cui piedinatura è riportata di seguito.



**Procedimento di verifica:** si ripete il procedimento seguito per la verifica del circuito con porte logiche per tutti e tre i circuiti utilizzanti latch e flip-flop. Si riottiene, per tutti, la tabella degli stati precedente.