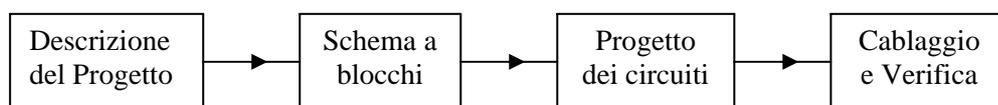


DEFINIZIONE, ELABORAZIONE, ESECUZIONE E VERIFICA DI UN PROGETTO

Un progetto viene elaborato e sviluppato seguendo, essenzialmente, le seguenti fasi.



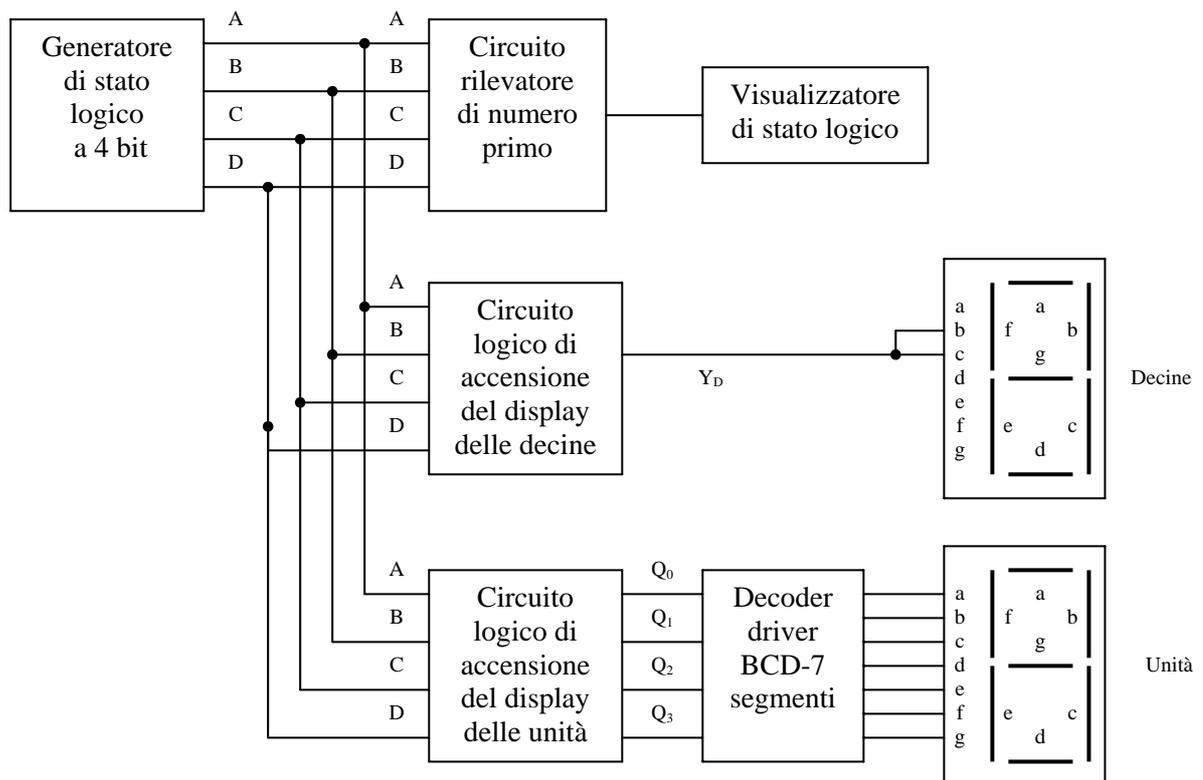
- **Descrizione del progetto:** consiste in una descrizione verbale del progetto, seguita da una riflessione sul suo sviluppo e una messa a punto dei particolari. Tale descrizione, nel corso delle fasi successive, potrà subire modifiche e perfezionamenti.
- **Schema a blocchi:** verrà elaborato e prodotto uno schema a blocchi del progetto teso ad individuare le varie parti da elaborare e frazionarle al massimo. Ciò consente di suddividere il circuito da progettare in più circuiti, più semplici, che verranno poi assemblati assieme. Lo schema a blocchi, quindi, dà una visione schematica del circuito e consente di elaborare ogni blocco anche in più modi.
- **Progetto dei circuiti:** vengono definiti e progettati i circuiti che realizzano i vari blocchi dello schema, optando, magari, per la soluzione più semplice, oppure per quella alternativa più complessa ma più soddisfacente.
- **Cablaggio e verifica:** tale fase consta di più passi. Il circuito può essere montato su bread-board, oppure può essere realizzato come circuito stampato. Nel primo caso, se in fase di verifica si rilevano malfunzionamenti, potranno essere apportate immediatamente le opportune verifiche e rieffettuare subito il collaudo. Conviene optare per tale scelta se il circuito da realizzare è relativamente semplice e non è necessario disporre anche in seguito. Quando il circuito è complesso si preferisce effettuarne lo sbroglio e realizzare un circuito stampato. In questo caso, al fine di ridurre al minimo i rischi di malfunzionamento, si avrà cura di suddividerlo in più circuiti, più semplici, che potranno essere verificati singolarmente con montaggio sperimentale su bread-board, per poi passare al circuito stampato finale..

ESEMPIO DI SVILUPPO DI UN PROGETTO

DESCRIZIONE VERBALE

Si vuole realizzare un circuito logico che segnali quando la combinazione di 4 bit rappresenta, in codice binario naturale, un numero primo. Inoltre, si deve visualizzare su due display il numero decimale rappresentato dai 4 bit.

SCHEMA A BLOCCHI



DEFINIZIONE E PROGETTO DEI BLOCCHI

Progetto del generatore di stato logico

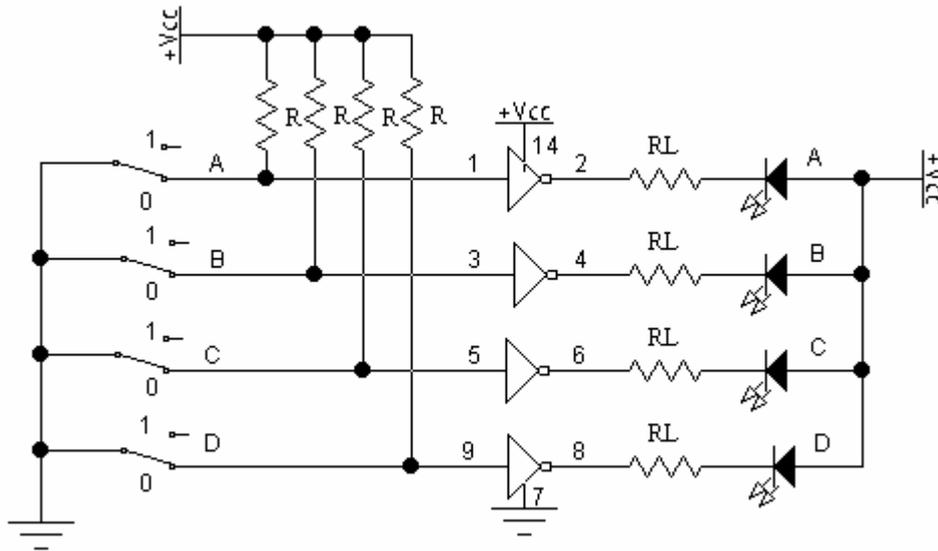
Il generatore di stato logico può essere realizzato in tre modi:

1. con microswitch e visualizzatori a diodi LED;
2. con un contatore binario modulo 16, un interruttore privo di rimbalzo e visualizzatori a diodi LED;
3. con un contatore binario modulo 16, un generatore di clock e visualizzatori a diodi LED.

Tranne il generatore di clock, tutti i circuiti verranno realizzati con porte TTL. Dove non esplicitato, si sottintendono i valori standard dei parametri.

I° circuito generatore di stato logico con microswitch e visualizzatore di stato logico a diodi LED.

Il circuito è il seguente:



In diodi LED vengono pilotati da porte NOT in modo da provocarne l'accensione quando l'uscita della NOT è a livello basso, ossia l'ingresso è a livello alto (in tale caso la corrente assorbita dall'uscita è più che sufficiente per ottenere una ottimale emissione luminosa del LED) e separare, elettricamente, il circuito visualizzatore di stato logico dallo stato logico generato.

Quando l'interruttore è aperto, attraverso la resistenza R circola una corrente massima di $40\mu\text{A}$, che produce ai suoi capi una caduta di tensione trascurabile, portando la tensione del punto A, (B, C, D, stato logico generato) a circa V_{CC} , livello alto (1 logico). Se si utilizza una resistenza R di $12\text{k}\Omega$, con una corrente $I_{iHMAX} = 49\mu\text{A}$ e $V_{CC} = 5\text{V}$, si ha:

$$V_{AH} = V_{CC} - RI_{iHMAX} = 5 - 12 \cdot 10^3 \cdot 40 \cdot 10^{-6} = 4,52\text{V} > V_{iHMIN} = 2\text{V}.$$

Quando l'interruttore è chiuso, il punto A, (B, C, D, stato logico generato) viene portato al potenziale di massa, ossia viene generato un livello basso (0 logico). La corrente nella resistenza R è molto piccola:

$$I_{RL} = \frac{V_{CC}}{R} = \frac{5}{12 \cdot 10^3} = 0,42\text{mA}$$

Le combinazioni possono essere testate in successione, secondo il codice binario naturale, oppure inserite in modo casuale.

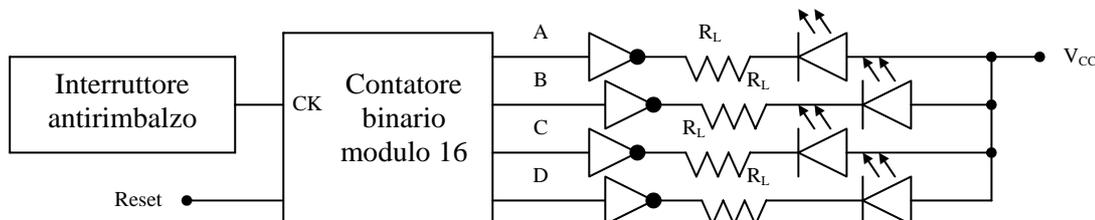
Si utilizza un microswitch a 4 vie, 4 resistenza R di $12\text{k}\Omega$, un circuito integrato TTL 7404 che contiene 6 porte NOT (di cui ne utilizziamo 4, 2 restano disponibili e verranno impiegate una per ottenere un'uscita \overline{D} indipendente, l'altra per pilotare il display delle decine), 4 diodi LED e 4 resistenze R_L da definire.

Ponendoci nel caso più sfavorevole, $V_{oLMAX} = 0,4\text{V}$, si fissa $V_F = 2\text{V}$; $I_F = 10\text{mA}$; $V_{CC} = 5\text{V}$; per R_L si ha:

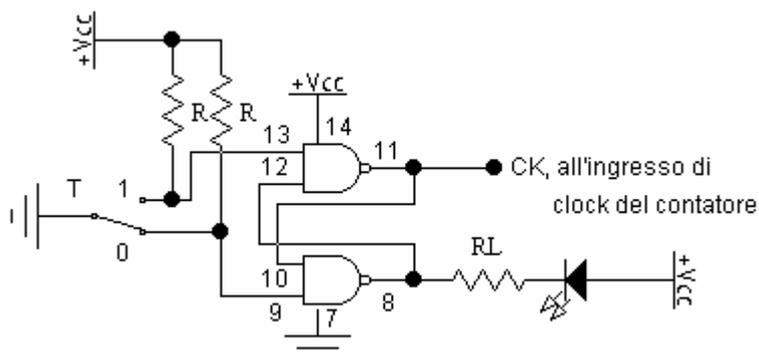
$$R_L = \frac{V_{CC} - V_F - V_{oLMAX}}{I_F} = \frac{5 - 2 - 0,4}{10 \cdot 10^{-3}} = 260\Omega, \text{ valore commerciale } 270\Omega.$$

II° circuito generatore di stato logico con contatore binario modulo 16, interruttore privo di rimbalzo e visualizzatori a diodi LED.

Le combinazioni dei 4 bit possono essere ottenute, in sequenza, dalle uscite di un contatore binario modulo 16, comandando il suo ingresso di clock mediante un interruttore antirimbalo. La visualizzazione dello stato logico generato si ottiene dal primo circuito, collegando le uscite A, B, C, D del contatore agli ingressi corrispondenti A, B, C, D delle porte logiche NOT e aprendo tutti gli interruttori del microsawitch; in tale modo lo stato logico dei 4 bit e lo stato dei diodi LED dipenderà dalle uscite del contatore. Il circuito di principio è il seguente.

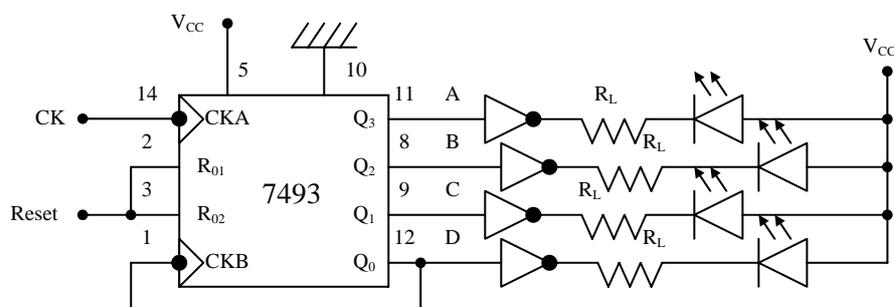


Ad ogni azionamento dell'interruttore antirimbalo il contatore incrementa l'uscita di un LSB (bit meno significativo). Iniziando il conteggio con uscite resettate a zero, in 15 incrementi verranno scandite tutte le combinazioni. Questo sistema di scansione dei 4 bit, rispetto al precedente, consente di testare le combinazioni agendo su un solo interruttore, ma in modo sequenziale. Il circuito antirimbalo viene realizzato con due porte NAND a due ingressi (integrato 7400 che ne contiene 4). Il circuito è il seguente.



Il diodo LED segnala lo stato logico dell'uscita CK. Come resistenze riutilizzano i valori $R = 12k\Omega$ e $R_L = 270\Omega$.

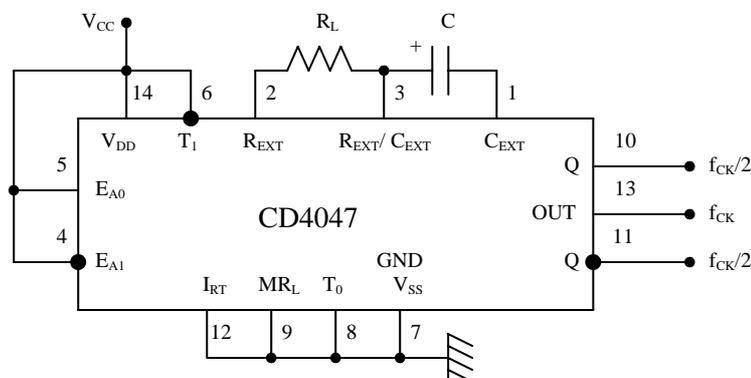
Come contatore binario modulo 16 viene usato il contatore TTL 7493, con ingressi di reset.



Quando l'ingresso di reset è a livello alto (1 logico) le uscite del contatore vengono resettate a zero e viene bloccato il conteggio; quando viene portato a livello basso viene abilitato il conteggio.

III° circuito generatore di stato logico con contatore binario modulo 16, generatore di clock e visualizzatori a diodi LED.

Il generatore di clock viene realizzato col circuito integrato CD4047, un multivibratore CMOS utilizzabile sia come astabile sia come monostabile. Il circuito in configurazione astabile è il seguente.



Sono disponibili come clock l'uscita 13 (OUT) a frequenza f_{CK} e l'uscita 10 (Q) a frequenza $f_{CK}/2$. L'onda quasi quadra sull'uscita OUT ha periodo $T = 2,2RC$. Se si vuole un'onda perfettamente quadra si deve usare l'uscita Q o \bar{Q} , che ha un periodo $T = 4,4RC$, doppio del precedente.

Per un corretto funzionamento conviene utilizzare per R valori compresi tra $10k\Omega$ e $1M\Omega$; per C valori maggiori di $1\mu F$ e, possibilmente, non elettrolitico.

Si fissa la frequenza f_{CK} a 1Hz, per cui il periodo risulta di 1 secondo. Si calcola il prodotto RC:

$$RC = \frac{T}{2,2} = \frac{1}{2,2} = 0,455s.$$

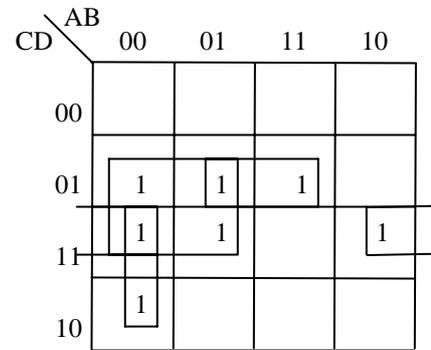
Si fissa $C = 4,7\mu F$ e si calcola $R = \frac{0,455}{C} = \frac{0,455}{4,7 \cdot 10^{-6}} = 96,8k\Omega$, valore commerciale $100k\Omega$.

Il circuito generatore di combinazione lineare risulta lo stesso del precedente, mettendo al posto dell'interruttore privo di rimbalzo il generatore di clock.

Progetto del circuito rilevatore di numero primo

Si stila la tabella di verità e si ricava, utilizzando le mappe di Karnaugh, la funzione minima.

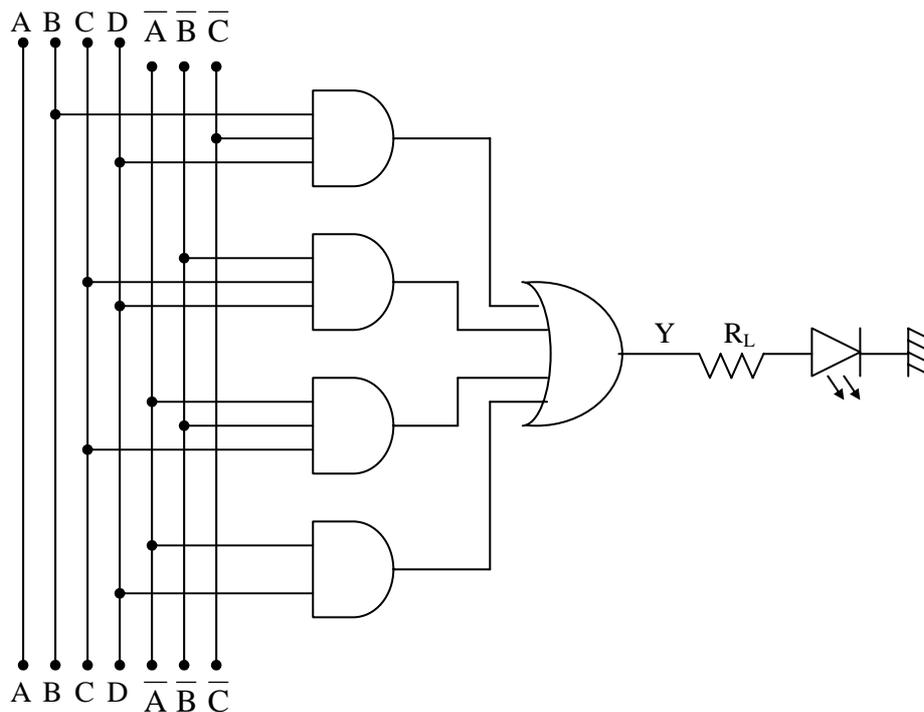
Numero decimale	A B C D	Y	LED	Display
0	0 0 0 0	0	Spento	----
1	0 0 0 1	1	Acceso	P
2	0 0 1 0	1	Acceso	P
3	0 0 1 1	1	Acceso	P
4	0 1 0 0	0	Spento	----
5	0 1 0 1	1	Acceso	P
6	0 1 1 0	0	Spento	----
7	0 1 1 1	1	Acceso	P
8	1 0 0 0	0	Spento	----
9	1 0 0 1	0	Spento	----
10	1 0 1 0	0	Spento	----
11	1 0 1 1	1	Acceso	P
12	1 1 0 0	0	Spento	----
13	1 1 0 1	1	Acceso	P
14	1 1 1 0	0	Spento	----
15	1 1 1 1	0	Spento	----



1 gruppo da 4
3 gruppi da 2

La funzione minima, espressa con porte OR-AND-NOT è: $Y = \overline{B}CD + B\overline{C}D + \overline{A}BC + \overline{A}D$

Il circuito logico è il seguente (le variabili dritte e negate si derivano dal generatore di stato logico).



Si dimensiona R_L assumendo: $V_F = 2V$; $I_F = 5mA$; $V_{oHMIN} = 2,4V$.

$$R_L = \frac{V_{oHMIN} - V_F}{I_F} = \frac{2,4 - 2}{5 \cdot 10^{-3}} = 80\Omega, \text{ valore commerciale } 100\Omega.$$

Per realizzare tale circuito occorrono 3 circuiti integrati, ossia:

- 3 AND a 3 ingressi → 1 C.I. 7411 che contiene 3 AND a 3 ingressi
- 1 AND a 2 ingressi → 1 C.I. 7408 che contiene 4 AND a 2 ingressi
- 1 OR a 4 ingressi → 1 C.I. 7432 che contiene 4 OR a 2 ingressi

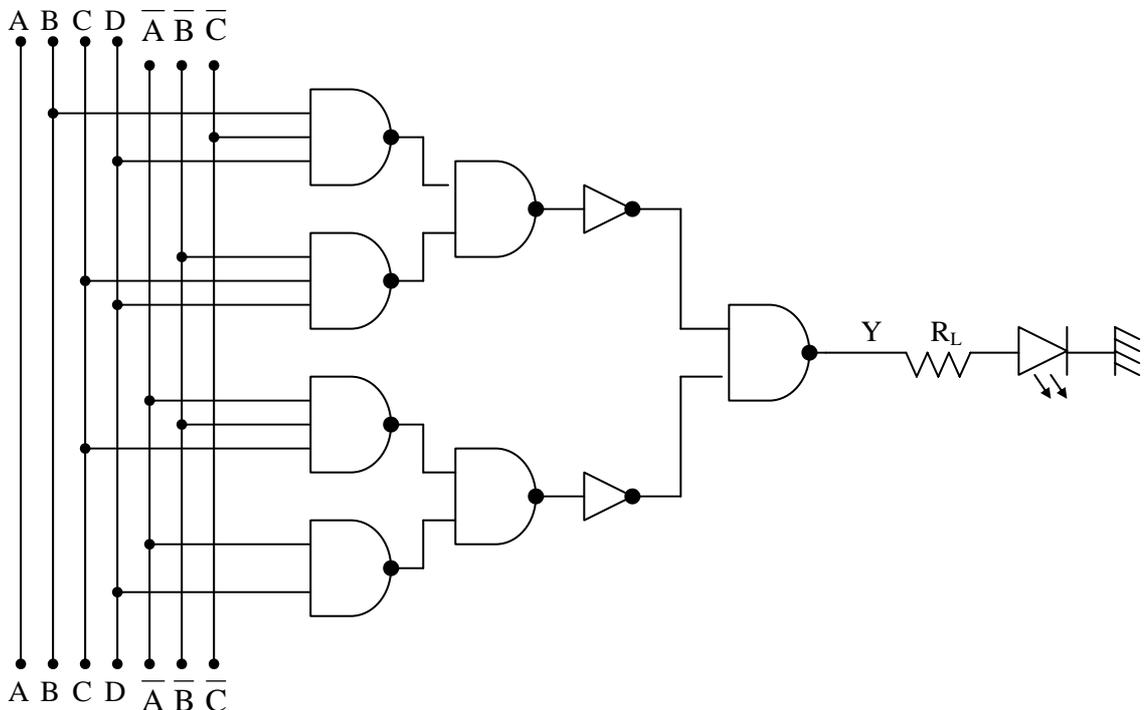
Per tentare di ridurre il numero di circuiti integrati da usare, si esplicita la funzione logica con sole porte NAND e NOT, applicando il teorema di De Morgan:

$$Y = \overline{BCD} + \overline{BCD} + \overline{ABC} + \overline{AD} = \overline{\overline{BCD} \cdot \overline{BCD} \cdot \overline{ABC} \cdot \overline{AD}} = \overline{BCD \cdot BCD \cdot ABC \cdot AD}$$

Per realizzare tale circuito (le variabili dritte e negate si derivano dal generatore di stato logico) occorrono sempre 3 circuiti integrati, ossia:

- 3 NAND a 3 ingressi → 1 C.I. 7410 che contiene 3 NAND a 3 ingressi
- 2 NOT → 1 C.I. 7404 che contiene 6 NOT
- 3 NAND a 2 ingressi → 1 C.I. 7400 che contiene 2 NAND a 2 ingressi

Il circuito logico è il seguente.



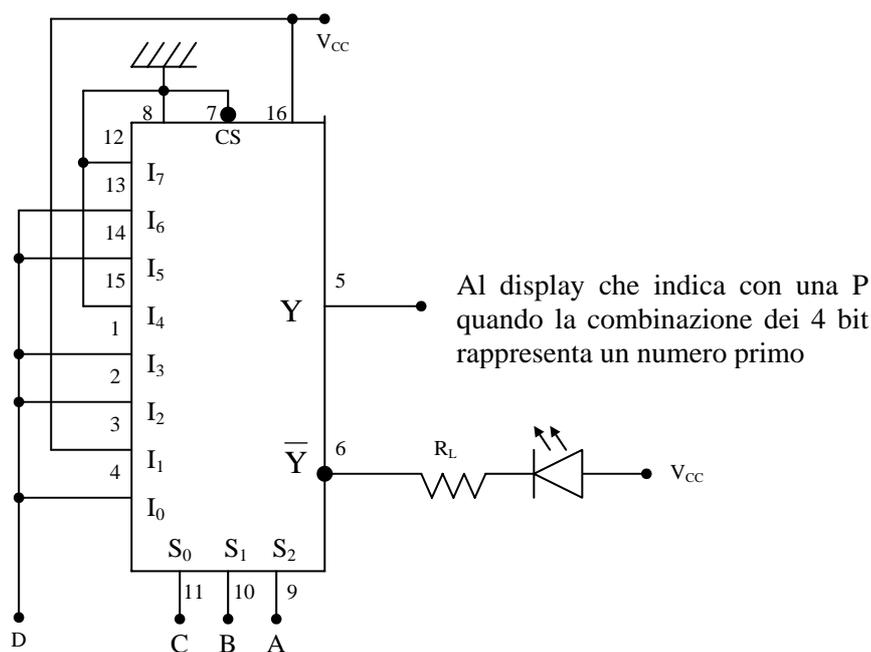
Tale funzione, essendo a 4 bit d'ingresso e una sola uscita, può anche essere implementata con un multiplexer con 8 ingressi, usato come generatore di funzione logica. Si pilotano i 3 ingressi di selezione con le variabili A, B, C, e si collegano gli ingressi I_i , a seconda dello stato logico che

deve assumere l'uscita in relazione alla combinazione che seleziona l'ingresso I_i , alla variabile D o al suo negato, o alla massa o all'alimentazione positiva.

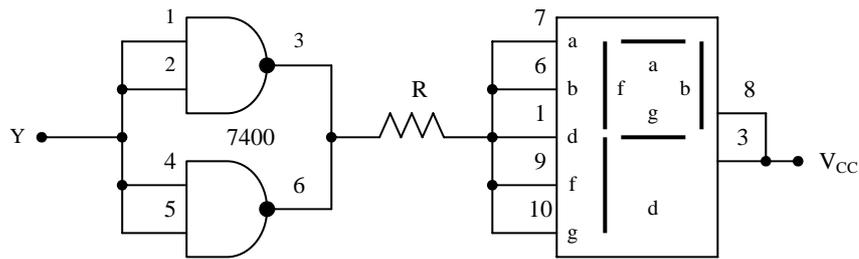
Si ha la seguente tabella di verità in cui, alle combinazioni dei primi tre bit (collegati agli ingressi di selezione) vengono associati gli ingressi I_i del multiplexer che, a secondo dello stato logico che deve assumere l'uscita e della variabile D , possono essere collegati a massa, a V_{CC} , a D , a \bar{D} .

Numero decimale	A B C D	I_i		Y	LED	Display
		I_i	I_i			
0	0 0 0 0	I_0	D	0	Spento	----
1	0 0 0 1	I_0	D	1	Acceso	P
2	0 0 1 0	I_1	V_{CC}	1	Acceso	P
3	0 0 1 1	I_1	V_{CC}	1	Acceso	P
4	0 1 0 0	I_2	D	0	Spento	----
5	0 1 0 1	I_2	D	1	Acceso	P
6	0 1 1 0	I_3	D	0	Spento	----
7	0 1 1 1	I_3	D	1	Acceso	P
8	1 0 0 0	I_4	GND	0	Spento	----
9	1 0 0 1	I_4	GND	0	Spento	----
10	1 0 1 0	I_5	D	0	Spento	----
11	1 0 1 1	I_5	D	1	Acceso	P
12	1 1 0 0	I_6	D	0	Spento	----
13	1 1 0 1	I_6	D	1	Acceso	P
14	1 1 1 0	I_7	GND	0	Spento	----
15	1 1 1 1	I_7	GND	0	Spento	----

Si utilizza il MUX 8/1 74251 che fornisce anche l'uscita negata e ha un ingresso \overline{CS} di selezione del circuito. La segnalazione che in ingresso si ha una combinazione che rappresenta un numero primo avverrà con l'accensione di un diodo LED pilotato dall'uscita \bar{Y} del MUX. È prevista anche l'accensione di una P su un display a 7 segmenti pilotato, tramite due porte NOT in parallelo o di un BJT in funzionamento ON-OFF, dall'uscita Y del MUX. Il circuito è il seguente.



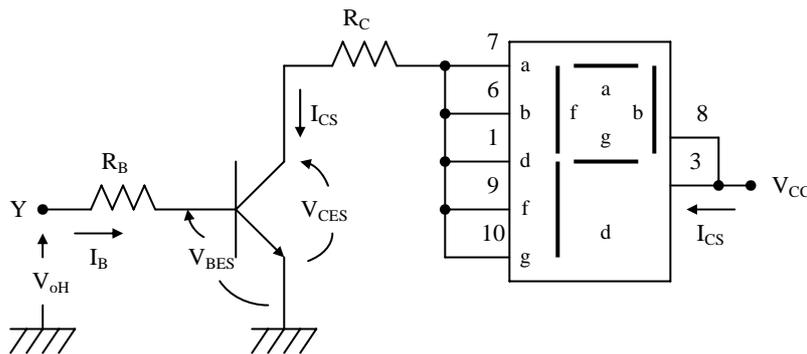
Come porte NOT si possono usare le due porte NAND a 2 ingressi che avanzano dal 7400 usato per implementare l'interruttore privo di rimbalzi.



Le uscite delle NAND a livello basso possono assorbire, senza alcun problema, una corrente di 35mA. Si fissa, pertanto, per ogni segmento, una corrente $I_F = 7\text{mA}$. Altri dati sono: $V_F = 2\text{V}$; $V_{oLMAX} = 0,4\text{V}$; $V_{CC} = 5\text{V}$. Si calcola il valore di R:

$$R = \frac{V_{CC} - V_F - V_{oLMAX}}{I_F} = \frac{5 - 2 - 0,4}{7 \cdot 10^{-3}} = 74\Omega, \text{ valore commerciale } 82\Omega.$$

Oppure si può pilotare il display con un BJT funzionante in saturazione e in interdizione (funzionamento ON-OFF). Si utilizza un BJT BC237B.



Sono dati: $h_{FEMIN} = 200$; $I_{CS} = 35\text{mA}$; $V_{BES} = 0,8\text{V}$; $V_{CES} = 0,4\text{V}$; $V_{oH} = 3,5\text{V}$; $V_{CC} = 5\text{V}$.

Quando l'uscita Y è a livello basso, la tensione applicata alla base del transistor è insufficiente a porlo in conduzione e il display è spento (la combinazione non rappresenta un numero primo). Il transistor è interdetto (OFF).

Quando l'uscita Y è a livello alto (la combinazione d'ingresso rappresenta un numero primo) il transistor deve saturare e accendere la P sul display. Si dimensionano le resistenze R_C e R_B .

$$R_C = \frac{V_{CC} - V_F - V_{CES}}{I_{CS}} = \frac{5 - 2 - 0,4}{35 \cdot 10^{-3}} = 74\Omega, \text{ valore commerciale } 82\Omega.$$

Si calcola il valore I_{BMIN} che provoca la saturazione del transistor:

$$I_{BMIN} = \frac{I_{CS}}{h_{FEMIN}} = \frac{35 \cdot 10^{-3}}{200} = 175\mu\text{A}$$

Si fissa $I_B = 0,5\text{mA} > I_{BMIN} = 0,175\text{mA}$ e si calcola R_B :

$$R_B = \frac{V_{oH} - V_{BES}}{I_B} = \frac{3,5 - 0,8}{0,5 \cdot 10^{-3}} = 54k\Omega, \text{ valore commerciale } 56k\Omega.$$

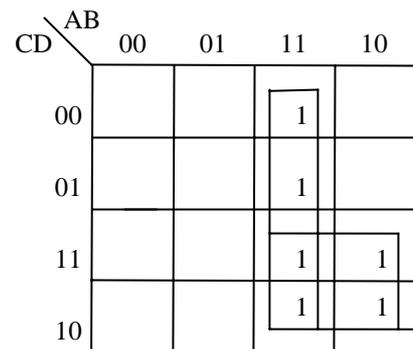
Definizione e progetto del circuito di visualizzazione su due display del numero decimale rappresentato dalla combinazione dei 4 bit A, B, C, D.

Si deve visualizzare il numero in decimale su due display, uno per le decine ed uno per le unità. Poiché il display delle decine deve essere spento o visualizzare 1 (accensione dei segmenti b e c), sarà pilotato direttamente dal circuito di visualizzazione tramite una porta NOT, utilizzata come buffer, disponibile sull'integrato 7404 del circuito visualizzatore di stato logico.

Il display delle unità sarà pilotato da un decoder-drive BCD-7 segmenti, il 9368, comandato dal circuito di visualizzazione. Si è scelto il 9368 in quanto è in grado di erogare, per ogni uscita, una corrente massima di 19mA a livello alto; pertanto, è possibile pilotare direttamente i segmenti senza aggiunta di resistenze esterne. Pilota display a catodo comune.

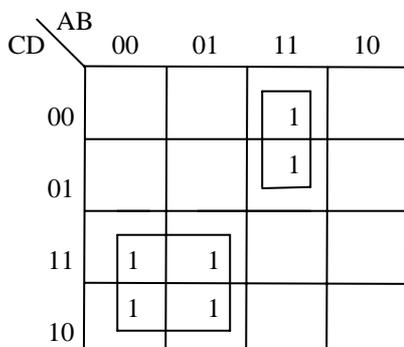
Si stila la tabella di verità e, utilizzando le mappe di Karnaugh, si ricavano le equazioni delle uscite Y_D per le decine e le uscite Q_0, Q_1, Q_2, Q_3 per le unità.

Numero decimale	A B C D	Y_D	Q_0	Q_1	Q_2	Q_3
0	0 0 0 0	0	0	0	0	0
1	0 0 0 1	1	0	0	0	1
2	0 0 1 0	1	0	0	1	0
3	0 0 1 1	1	0	0	1	1
4	0 1 0 0	0	0	1	0	0
5	0 1 0 1	1	0	1	0	1
6	0 1 1 0	0	0	1	1	0
7	0 1 1 1	1	0	1	1	1
8	1 0 0 0	0	1	0	0	0
9	1 0 0 1	0	1	0	0	1
10	1 0 1 0	0	0	0	0	0
11	1 0 1 1	1	0	0	0	1
12	1 1 0 0	0	0	0	1	0
13	1 1 0 1	1	0	0	1	1
14	1 1 1 0	0	0	1	0	0
15	1 1 1 1	0	0	1	0	1

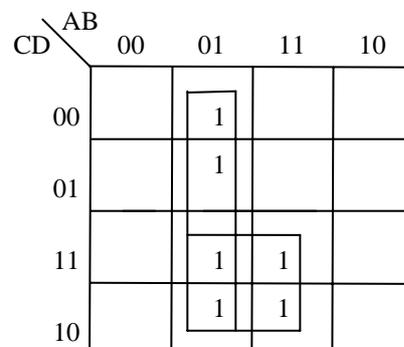


$$Y_D = AB + AC$$

$$Q_0 = D$$



$$Q_1 = \bar{A}C + ABC\bar{C} = \bar{A}C + (AB)\bar{C}$$



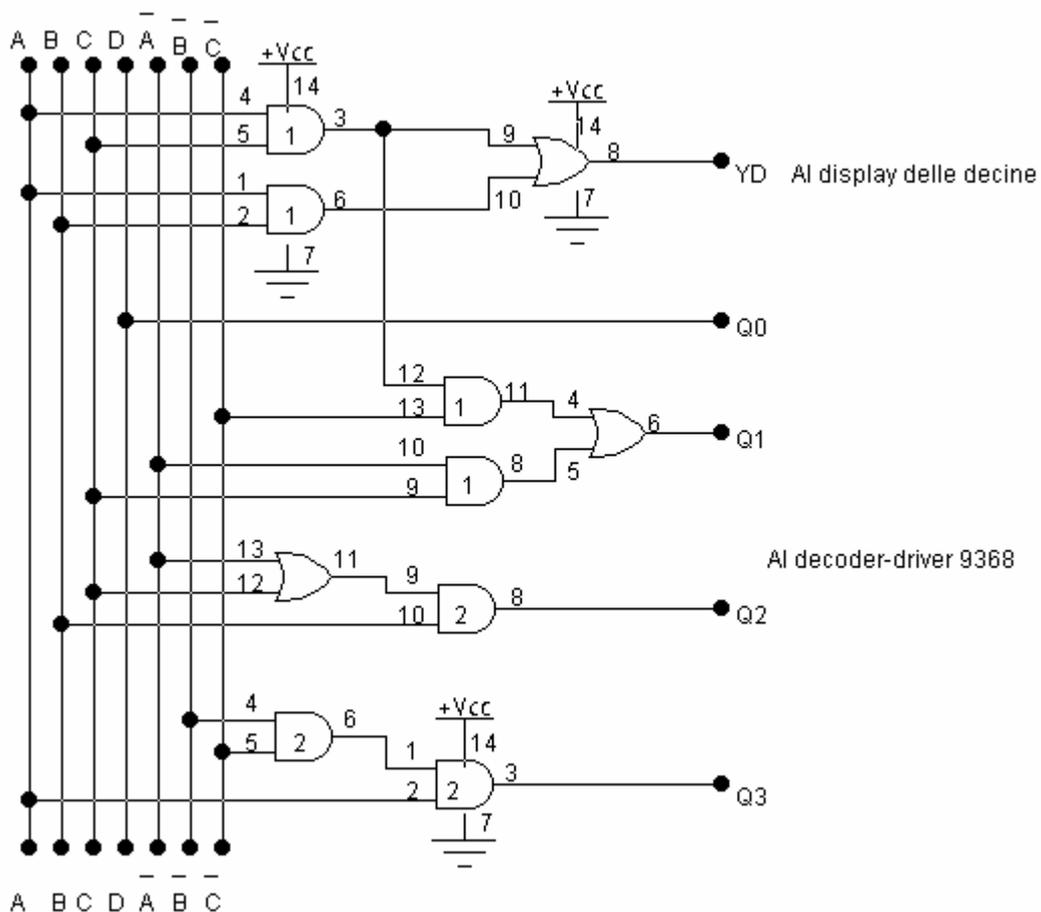
$$Q_2 = \bar{A}B + BC = B(\bar{A} + C)$$

	AB			
CD	00	01	11	10
00				1
01				1
11				
10				

$$Q_3 = A\overline{B}\overline{C} = A(\overline{BC})$$

Le variabili dritte A, B, C, D saranno prelevate dal generatore di combinazione logica; le variabili negate \overline{A} , \overline{B} , \overline{C} saranno prelevate dalle porte NOT del visualizzatore di stato logico del generatore di combinazione. Quindi, per realizzare tali funzioni logiche occorrono 3 circuiti integrati:

- 7 AND a 2 ingressi → 2 C.I. 7408 che contiene 4 AND a 2 ingressi
- 3 OR a 2 ingressi → 1 C.I. 7432 che contiene 4 OR a 2 ingressi



Volendo realizzare il circuito con sole porte NAND, si ha:

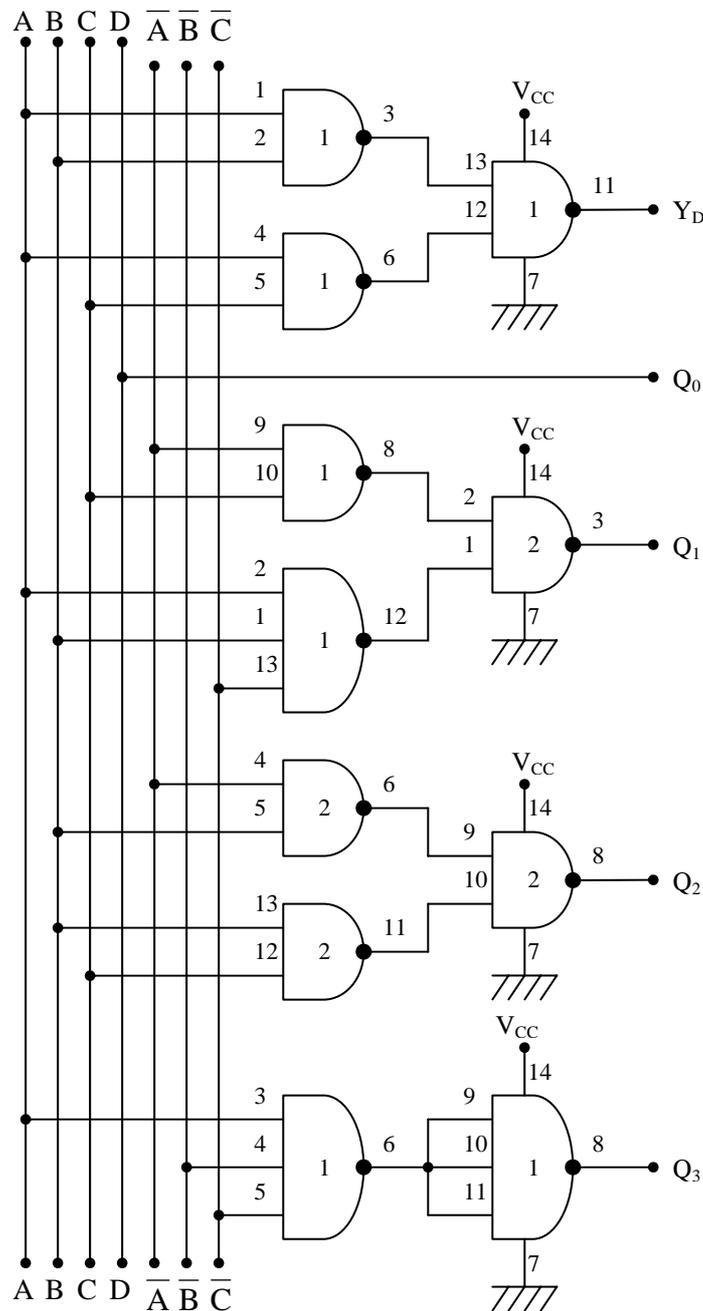
$$Y_D = AB + AC = \overline{\overline{AB} \cdot \overline{AC}} \quad ; \quad Q_0 = D \quad ; \quad Q_1 = \overline{AC} + ABC = \overline{\overline{AC} \cdot \overline{ABC}}$$

$$Q_2 = \overline{AB} + BC = \overline{\overline{AB} \cdot \overline{BC}} \quad ; \quad Q_3 = A\overline{B}\overline{C} = \overline{\overline{A\overline{B}\overline{C}}}$$

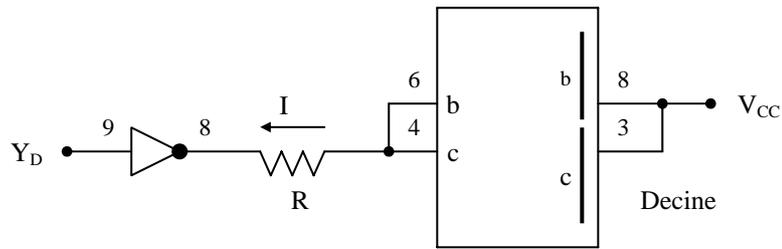
Per realizzare tali funzioni logiche occorrono 3 circuiti integrati:

- 8 NAND a 2 ingressi → 2 C.I. 7400 che contiene 4 NAND a 2 ingressi
- 3 NAND a 3 ingressi → 1 C.I. 7410 che contiene 3 NAND a 3 ingressi

Il numero dei circuiti integrati, rispetto al precedente, non cambia. È da controllare se, in fase di sbroglio, il circuito stampato risulta più semplice.



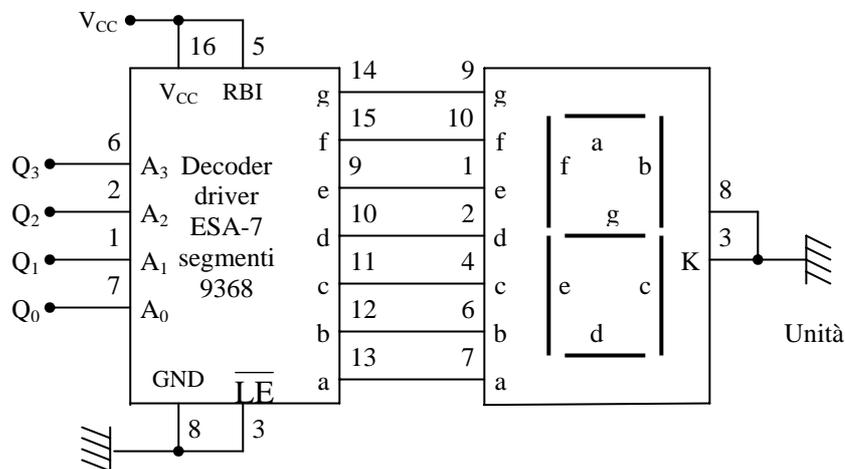
Il display delle decine, ad anodo comune, verrà pilotato da una delle due porte NOT non utilizzate del generatore di combinazione lineare, l'altra fornirà l'uscita \bar{D} da utilizzare per pilotare gli ingressi del multiplexer. Il circuito è il seguente.



Si fissa una corrente complessiva $I = 20\text{mA}$ per i due segmenti, con $V_F = 2\text{V}$; $V_{oL} = 0,2\text{V}$; $V_{CC} = 5\text{V}$, e si calcola il valore di R :

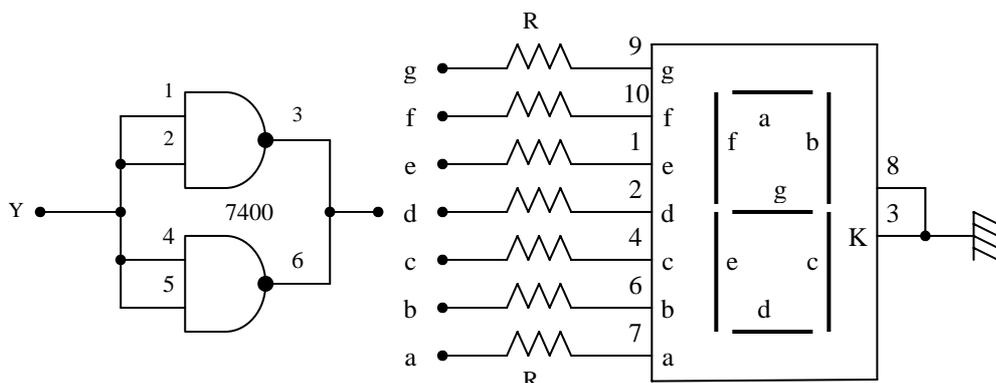
$$R = \frac{V_{CC} - V_F - V_{oL}}{I_F} = \frac{5 - 2 - 0,2}{20 \cdot 10^{-3}} = 140\Omega, \text{ valore commerciale } 150\Omega.$$

Il circuito display per le unità è il seguente. Si utilizza per pilotare il display a catodo comune il decoder driver esadecimale-7 segmenti 9368, che fornisce in su ogni uscita una massima corrente di 20mA.



CONSIDERAZIONI

Il multiplexer 8/1 può essere usato per generare una qualunque funzione logica con 4 bit d'ingresso ed una uscita. Pertanto, nell'implementazione del circuito, gli ingressi del multiplexer (sia quelli I_i sia quelli di selezione S_i) saranno indipendenti da A, B, C, D, e predisposti per gli opportuni collegamenti. In tale modo è possibile implementare una qualsiasi funzione logica a 4 bit ed una uscita. Anche il circuito pilota del display che visualizza la P verrà predisposto perchè i segmenti possano essere pilotati in modo indipendente, come mostrato in figura.



Si fissano i valori di $I_F = 8\text{mA}$; $V_F = 2\text{V}$; $V_{oLMAX} = 0,4\text{V}$; $V_{CC} = 5\text{V}$, e si calcola il valore di R:

$$R = \frac{V_{CC} - V_F - V_{oLMAX}}{I_F} = \frac{5 - 2 - 0,4}{8 \cdot 10^{-3}} = 325\Omega, \text{ valore commerciale } 330\Omega.$$

Il circuito che sarà realizzato è, quindi, un circuito con il quale si può implementare una qualsiasi funzione logica a 4 bit d'ingresso e con una sola uscita. Sul display comandato dall'uscita Y può essere visualizzato un numero, una lettera, un simbolo, a seconda dei casi.

Lo sbroglio del circuito di visualizzazione del numero decimale su due display del numero decimale è risultato un circuito stampato a doppia faccia. Non essendo attrezzati per la sua produzione, si sono assemblati i circuiti su una piastra mille fori 10x15cm. Le piste e i collegamenti volanti sono stati realizzati con spezzoni di filo. La piastra con la schematizzazione come blocchi dei circuiti e l'esplicitazione della funzione dei connettori (contatti a tulipano) per l'implementazione della funzione e per la definizione del tipo di scansione delle combinazioni dei 4 bit d'ingresso è riportata di seguito,

