

MULTIVIBRATORI CON PORTE LOGICHE

MULTIVIBRATORE

Si dice multivibratore un circuito che può avere solo due possibili stati dell'uscita. Tali stati possono essere di due tipi: stato stabile, stato quasi stabile.

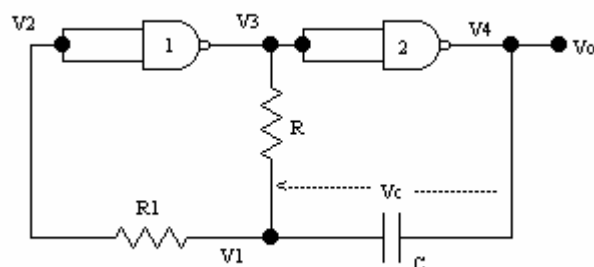
- **Stato stabile:** il circuito rimane in questo stato finché non si interviene dall'esterno forzando l'uscita a cambiare stato.
- **Stato quasi stabile:** il circuito rimane in questo stato per un tempo prestabilito per poi passare nell'altro stato.

A seconda del tipo di stati del circuito, i multivibratori si distinguono in:

- **multivibratore astabile:** ha due stati entrambi quasi stabili; pertanto, commuta continuamente da uno all'altro ad intervalli di tempo costanti: viene utilizzato per generare segnali a due livelli, tipo onda quadra (generatore d'onda quadra e di clock).
- **multivibratore monostabile:** ha uno stato stabile ed uno quasi stabile; il circuito rimane nello stato stabile finché, mediante un impulso esterno, viene costretto a commutare nell'altro stato, che mantiene per un tempo prestabilito per poi commutare nello stato stabile in cui rimane fino al successivo impulso esterno: viene utilizzato per generare impulsi singoli di durata prestabilita (generatore d'impulso).
- **multivibratore bistabile:** ha due stati entrambi stabili; pertanto, può commutare da uno stato all'altro solo se si interviene dall'esterno: tipici i latch e i flip-flop.

MULTIVIBRATORE ASTABILE CON PORTE LOGICHE

Il circuito riportato in figura è un caso classico di astabile. Sebbene sia realizzabile anche con porte TTL è preferibile realizzarlo con quelle CMOS: l'elevata resistenza di ingresso di queste ultime permette l'uso, a parità di tempi ottenuti, di resistenze e capacità più piccole; le porte CMOS, inoltre, presentano una caratteristica di trasferimento quasi ideale, e questo favorisce la qualità del segnale prelevato.



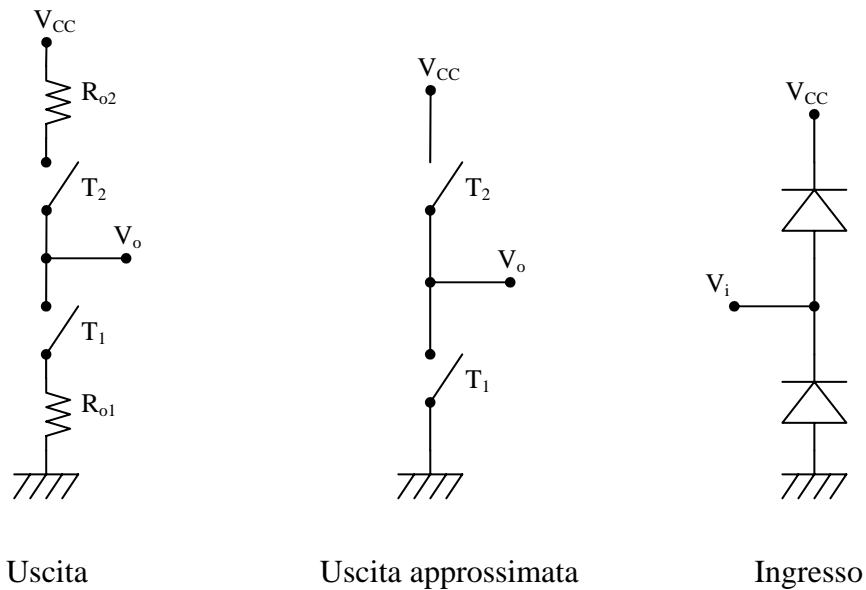
La resistenza R_1 teoricamente non ha ragione d'essere, risultando in serie a un valore molto alto, ma viene inserita per minimizzare l'effetto delle protezioni a diodi in ingresso ai CMOS sulla qualità della forma d'onda prodotta (limita i picchi di corrente durante i transitori, quando i diodi di protezione entrano in conduzione).

Sia in uscita al NOT 1 che al 2 è possibile prelevare un segnale quadro, anche se, per limiti costruttivi dei componenti, quello in 1 risulta, spesso troppo deformato.

Nell'analisi del comportamento di un multivibratore astabile conviene fissare l'attenzione su tre istanti successivi:

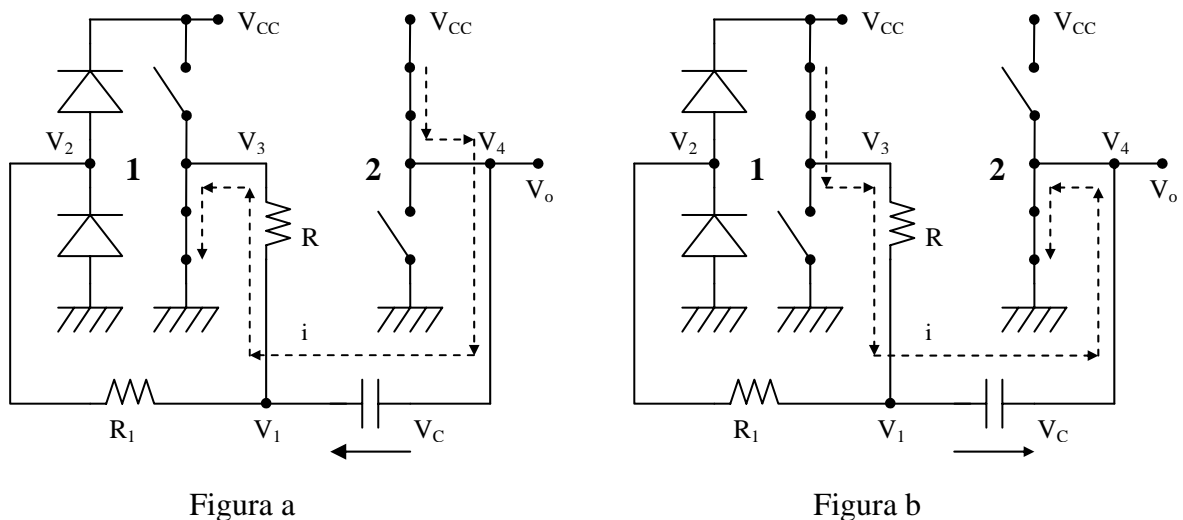
- istante immediatamente precedente la commutazione;
- istante della commutazione;
- istante successivo alla commutazione.

Inoltre, al fine di comprendere le dinamiche di carica e di scarica del condensatore, conviene schematizzare l'ingresso e l'uscita delle porte mediante circuiti equivalenti, riportati in figura.



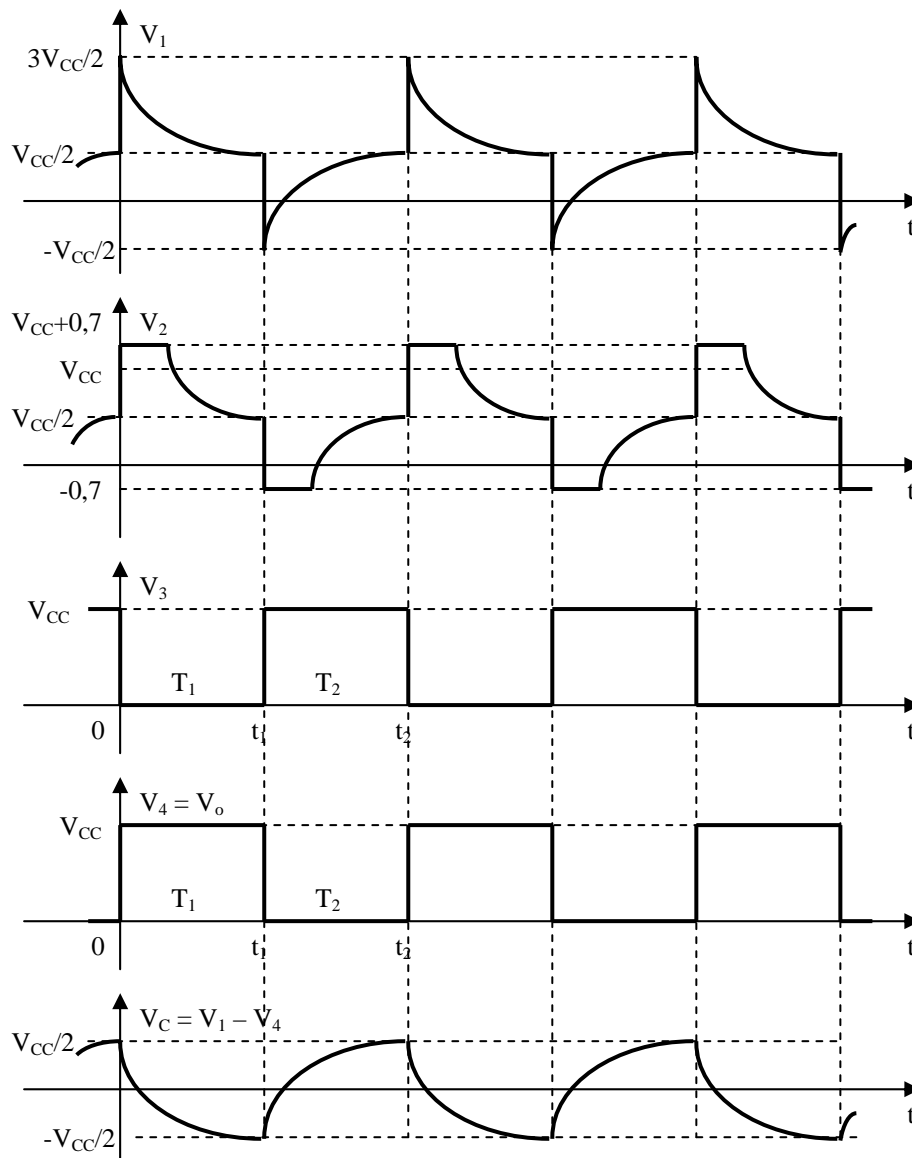
Poiché le resistenze R_{01} e R_{02} sono molto piccole e trascurabili rispetto alla resistenza R , nel circuito equivalente d'uscita possono essere eliminate semplificando la risoluzione del circuito.

Le due porte logiche hanno sempre stato d'uscita negato l'una rispetto all'altra. Pertanto, si hanno due schematizzazioni di funzionamento del circuito: NOT 1 uscita bassa e NOT 2 uscita alta (figura a); NOT 1 uscita alta e NOT 2 uscita bassa (figura b).



Nel grafico sono riportate le forme d'onda nei vari punti del circuito, e precisamente:

- v_1 tensione di una armatura del condensatore riferita alla massa;
- v_2 tensione d'ingresso della NOT 1;
- v_3 tensione d'uscita della NOT 1 e tensione d'ingresso della NOT 2;
- $v_4 = v_o$ tensione d'uscita della NOT 2 (che è anche la tensione d'uscita del circuito) e tensione sull'altra armatura del condensatore riferita alla massa;
- $v_c = v_4 - v_1$ differenza di potenziale ai capi del condensatore.



Determinazione del semiperiodo T_1

Istante immediatamente precedente la commutazione

A $t < \approx 0$ v_2 , aumentando, sta per raggiungere la tensione di soglia $V_T = \frac{V_{CC}}{2}$; poiché l'ingresso della NOT 1 non assorbe praticamente corrente, non si ha alcuna caduta di tensione sulla resistenza R_1 ; pertanto $v_1 = v_2 < \approx \frac{V_{CC}}{2}$, $v_3 = v_{CC}$, $v_4 = 0$, $v_C = v_1 - v_4 < \approx \frac{V_{CC}}{2}$ (Figura b).

Istante della commutazione

A $t = 0$ v_2 uguaglia, e tende a superare, la tensione di soglia $V_T = \frac{V_{CC}}{2}$; istantaneamente, v_3 commuta a livello basso (0V) e v_4 commuta a livello alto (V_{CC}) (Figura a).

In questo istante ($t = 0$), la capacità C non può variare istantaneamente la tensione ai suoi capi $\left(v_C = \frac{V_{CC}}{2} \right)$ (il condensatore deve variare la sua tensione di $-V_{CC}$), pertanto la variazione di

tensione V_{CC} viene trasferita su v_1 , che si porta a $v_1 = v_C + v_4 = \frac{V_{CC}}{2} + V_{CC} = 3 \frac{V_{CC}}{2}$.

La tensione v_2 (che era uguale a v_1) non può, però, assumere tale valore perché, superando V_{CC} , entra in conduzione il diodo di protezione collegato verso V_{CC} , limitando il valore della tensione v_2 a $V_{CC} + 0,7V$. Questo diodo rimane in conduzione fino a che v_1 arriva al valore V_{CC} , ossia quando v_C raggiunge il valore zero; da tale istante si ha di nuovo $v_2 = v_1$.

Istante successivo alla commutazione

Dall'istante $t = 0$ il condensatore inizia a scaricarsi, partendo dal valore $v_C = \frac{V_{CC}}{2}$, e tenderà a caricarsi in verso opposto verso $-V_{CC}$, con costante di tempo $\tau = RC$ (essendo $R_1 \gg R$).

La commutazione delle uscite avviene quando, dopo un tempo T_1 , ossia a t_1 , la tensione $v_1 = v_2$, diminuendo, uguaglia e tende a scendere sotto il valore di soglia $V_T = \frac{V_{CC}}{2}$. In questo istante la tensione sul condensatore vale:

$$v_1 = v_2 = v_C + v_4 = v_C + V_{CC} = \frac{V_{CC}}{2} \Rightarrow v_C = -V_{CC} + \frac{V_{CC}}{2} = -\frac{V_{CC}}{2}$$

avendo preso come verso positivo di v_C quello riportato nel circuito (v_C è positivo quando v_1 è positivo rispetto massa).

L'equazione di carica del condensatore è:

$$v_C(t) = V_f + (V_i - V_f) \cdot e^{-\frac{t}{\tau}} = -V_{CC} + \left(\frac{V_{CC}}{2} + V_{CC} \right) \cdot e^{-\frac{t}{\tau}} = -V_{CC} + \frac{3}{2} V_{CC} \cdot e^{-\frac{t}{\tau}}$$

$$\text{A } t = t_1 = T_1 \quad v_C(t_1) = -V_{CC} + \frac{3}{2} V_{CC} \cdot e^{-\frac{T_1}{\tau}} = -\frac{V_{CC}}{2} \Rightarrow \frac{3}{2} \cdot e^{-\frac{T_1}{\tau}} = \frac{1}{2} \Rightarrow e^{-\frac{T_1}{\tau}} = \frac{1}{3} \Rightarrow$$

$$\Rightarrow -\frac{T_1}{\tau} = \ln \frac{1}{3} \Rightarrow T_1 = \tau \ln 3 \cong 1,1RC$$

Determinazione del semiperiodo T_2

Istante immediatamente precedente la commutazione

A $t < \approx t_1$ v_2 , diminuendo, sta per raggiungere la tensione di soglia $V_T = \frac{V_{CC}}{2}$; poiché l'ingresso della NOT 1 non assorbe praticamente corrente, non si ha alcuna caduta di tensione sulla resistenza R_1 ; pertanto $v_1 = v_2 \approx \frac{V_{CC}}{2}$, $v_3 = V_{CC}$, $v_4 = 0V_{CC}$, $v_C = v_1 - v_4 \approx \frac{V_{CC}}{2}$ (Figura a).

Istante della commutazione

A $t = t_1$ v_2 uguaglia, e tende a scendere sotto la tensione di soglia $V_T = \frac{V_{CC}}{2}$; istantaneamente, v_3 commuta a livello alto (V_{CC}) e v_4 commuta a livello basso ($0V$) (Figura b).

In questo istante ($t = t_1$), la capacità C non può variare istantaneamente la tensione ai suoi capi $\left(v_C = -\frac{V_{CC}}{2} \right)$ (il condensatore deve variare la sua tensione di $+V_{CC}$), pertanto la variazione di

tensione V_{CC} viene trasferita su v_1 , che si porta a $v_1 = v_C + v_4 = -\frac{V_{CC}}{2} + 0 = -\frac{V_{CC}}{2}$.

La tensione v_2 (che era uguale a v_1) non può, però, assumere tale valore perché, diventando negativa rispetto massa, entra in conduzione il diodo di protezione collegato verso massa, limitando il valore della tensione v_2 a $-0,7V$. Questo diodo rimane in conduzione fino a che v_1 arriva al valore $0V$, ossia quando v_C raggiunge il valore zero; da tale istante si ha di nuovo $v_2 = v_1$.

Istante successivo alla commutazione

Dall'istante $t = t_1$ il condensatore inizia a scaricarsi, partendo dal valore $v_C = -\frac{V_{CC}}{2}$, e tenderà a caricarsi in verso opposto verso $+V_{CC}$, con costante di tempo $\tau = RC$ (essendo $R_1 \gg R$).

La nuova commutazione delle uscite avviene quando, dopo un tempo T_2 , ossia a t_2 , la tensione $v_1 = v_2$, aumentando, uguaglia e tende a superare il valore di soglia $V_T = \frac{V_{CC}}{2}$. In questo istante la tensione sul condensatore vale:

$$v_1 = v_2 = v_C + v_4 = v_C + 0 = \frac{V_{CC}}{2} \Rightarrow v_C = \frac{V_{CC}}{2}$$

avendo preso come verso positivo di v_C quello riportato nel circuito (v_C è positivo quando v_1 è positivo rispetto massa).

L'equazione di carica del condensatore è:

$$v_C(t) = V_f + (V_i - V_f) \cdot e^{-\frac{t-t_1}{\tau}} = V_{CC} + \left(-\frac{V_{CC}}{2} - V_{CC} \right) \cdot e^{-\frac{t-t_1}{\tau}} = V_{CC} - \frac{3}{2} V_{CC} \cdot e^{-\frac{t-t_1}{\tau}}$$

$$\begin{aligned}
 \text{A } t = t_2 \text{ (} t_2 - t_1 = T_2 \text{)} \quad v_c(t_2) = V_{CC} - \frac{3}{2}V_{CC} \cdot e^{-\frac{T_2}{\tau}} = \frac{V_{CC}}{2} &\Rightarrow \frac{3}{2} \cdot e^{-\frac{T_2}{\tau}} = \frac{1}{2} \Rightarrow e^{-\frac{T_2}{\tau}} = \frac{1}{3} \Rightarrow \\
 &\Rightarrow -\frac{T_1}{\tau} = \ln \frac{1}{3} \Rightarrow T_1 = \tau \ln 3 \cong 1,1RC
 \end{aligned}$$

E il ciclo si ripete generando su v_3 e v_4 due onde quadre in opposizione di fase. Il periodo vale:

$$T = T_1 + T_2 = 2,2\tau = 2,2RC$$

Si consiglia di porre $R_1 = 10R$, almeno, per evitare che possa produrre effetto sulla frequenza, alterando la costante di tempo.

Usando dispositivi della serie 4xxxB, se si vogliono ottenere buoni risultati si consigliano valori per R compresi tra $10k\Omega$ e $1M\Omega$, e per la capacità non sotto i $100pF$; sono inoltre consigliabili dispositivi di tipo buffer, specie alle frequenze più alte (alcuni MHz come massimo); con dispositivi HC e HCT il limite di frequenza più elevato permette l'uso anche di capacità più piccole e non è necessario l'uso di porte buffer. Se si rinuncia alla resistenza R_1 i risultati risultano mediamente meno buoni (minore simmetria nel segnale e maggiore dipendenza della frequenza dalla tensione di alimentazione), ma molto dipende dal tipo di IC scelto e, a parità di sigla, dalla marca dello stesso; quindi la scelta tra le due soluzioni potrà essere meglio valutata caso per caso sperimentalmente.

Se si rinuncia a R_1 , l'intervento delle protezioni modifica il periodo e quindi la frequenza del segnale nel seguente modo:

$$T = 1,4RC \Rightarrow f = 0,72 \frac{1}{RC}$$

Se si usano porte TTL R deve essere minore $1,5k\Omega$ e $R_1 = 0$. per i semiperiodi si ha:

$$T_1 = 1,6RC \quad T_2 = 0,56RC \quad T = 2,16RC$$

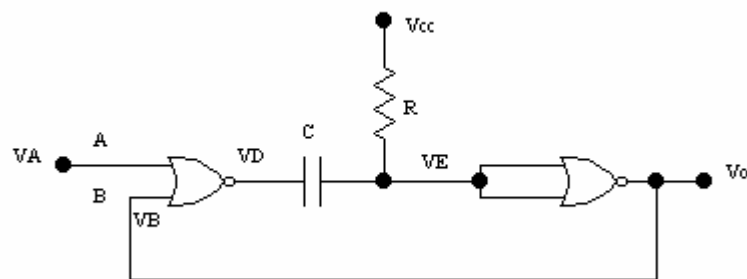
MONOSTABILE A PORTE LOGICHE (GENERATORE DI RITARDO)

Spesso, nel comando dei circuiti, si dispone di segnali elettrici o meccanici (trasformati in elettrici da opportuni trasduttori) di durata troppo breve per consentire ai circuiti stessi di adeguarsi al segnale di comando.

Per ovviare a questo inconveniente, vengono realizzati circuiti che variano lo stato elettrico della propria uscita in seguito ad un impulso d'ingresso e mantengono lo stato commutato per un tempo variabile in funzione delle condizioni di progetto.

Questi circuiti vengono detti multivibratori monostabili o generatori di ritardo. Il termine monostabile deriva dal fatto che, in assenza di segnali applicati all'ingresso, questi dispositivi hanno un livello stabile di segnale d'uscita. Allorché viene fornito un comando, lo stato dell'uscita commuta e si mantiene a livello commutato per un periodo prestabilito, al termine del quale si ripristina lo stato precedente stabile.

In figura è riportato lo schema di un circuito monostabile realizzato con porte CMOS.



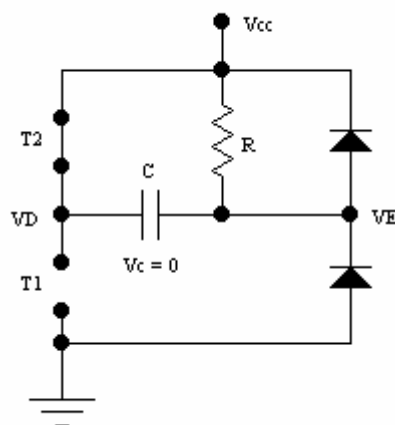
L'uscita della porta NOR ha stato logico 1 se e solo se entrambi gli ingressi A e B hanno stato logico 0; qualunque altra combinazione degli ingressi A e B porta l'uscita allo stato logico 1. pertanto, lo stato stabile deve essere associato a ingressi entrambi a livello basso.

Stato stabile: $A = B = 0$; $V_A = V_B = 0$; $V_D = V_{CC}$; $V_E = V_{CC}$; $V_C = 0$; $V_o = V_B = 0$.

Stato quasi stabile: $A = B = 1 = V_{CC}$ $\left\{ \begin{array}{l} A = 0 \Rightarrow V_A = 0 \\ B = 1 \Rightarrow V_B = V_{CC} \end{array} \right.$; $\left\{ \begin{array}{l} A = 1 \Rightarrow V_A = V_{CC} \\ B = 0 \Rightarrow V_B = 0 \end{array} \right.$;

$V_D = 0$; $V_E = V_C$; $V_o = V_B = V_{CC}$.

Circuito equivalente dell'uscita della NOR e dell'ingresso della NOT nello stato stabile.

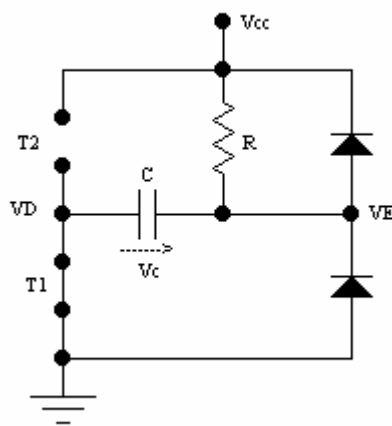


Con $V_A = 0$, la sola condizione stabile compatibile col circuito presenta uscita bassa, $V_o = 0$, che fissa a livello basso anche l'altro ingresso della NOR, $V_B = V_o = 0$. In tale caso, l'uscita della NOR sarà a livello alto, $V_D = V_{CC}$. Poiché una porta CMOS non assorbe praticamente corrente all'ingresso, non circolerà corrente neanche nella resistenza R e l'ingresso della NOT si troverà a $V_E = V_{CC}$: livello alto d'ingresso che porta l'uscita a livello basso, $V_o = V_B = 0$. Il condensatore, avendo le sue armature alla stessa tensione V_{CC} , risulta scarico, $V_C = 0$.

Applicando all'ingresso A, nell'istante $t = 0$, un breve impulso di ampiezza V_{CC} e durata T_o , si avrà:

$$\begin{cases} V_A(0) = V_{CC} \\ V_B(0) = 0 \end{cases} \Rightarrow V_D(0) = 0$$

Circuito equivalente dell'uscita della NOR e dell'ingresso della NOT nello stato quasi stabile.



Poiché la tensione ai capi del condensatore C non può cambiare istantaneamente, la stessa variazione di tensione subita da V_D dovrà risultare per V_E : $\Delta V_D(0) = \Delta V_E(0) = -V_{CC}$. Infatti, essendo il condensatore inizialmente scarico, si troverà con i terminali allo stesso potenziale e l'ingresso della NOT si porterà da V_{CC} a 0: $V_E(0) = V_D(0) = 0$, situazione che porta l'uscita della NOT a livello alto: $V_o(0) = V_B(0) = V_{CC}$.

Il circuito si è portato nello **stato quasi stabile**:

$$\begin{cases} V_A(0) = V_{CC} \\ V_B(0) = V_{CC} \end{cases},$$

e cessato l'impulso (dopo che V_o è passato allo stato alto)

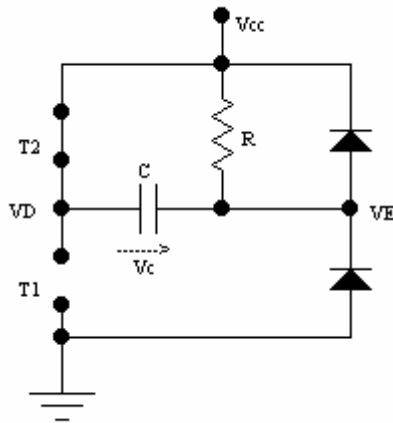
$$\begin{cases} V_A(0) = 0 \\ V_B(0) = V_{CC} \end{cases} \Rightarrow V_D(0) = 0 \quad \text{e} \quad V_o(0) = V_{CC}.$$

Negli istanti successivi il condensatore si carica, attraverso R , verso V_{CC} . Quando, durante la carica, raggiunge, dopo un tempo T , la tensione di soglia $V_T = \frac{V_{CC}}{2}$ dell'invertitore, l'uscita della NOT torna a livello basso $V_o(T) = V_B(T) = 0$.

La porta NOR, avendo entrambi gli ingressi allo stato basso, commuta la sua uscita a livello alto:

$$\begin{cases} V_A(T) = 0 \\ V_B(T) = 0 \end{cases} \Rightarrow V_D(T) = V_{CC} \quad \text{e} \quad V_C(T) = \frac{V_{CC}}{2}$$

Circuito equivalente dell'uscita della NOR e dell'ingresso della NOT in tale situazione.

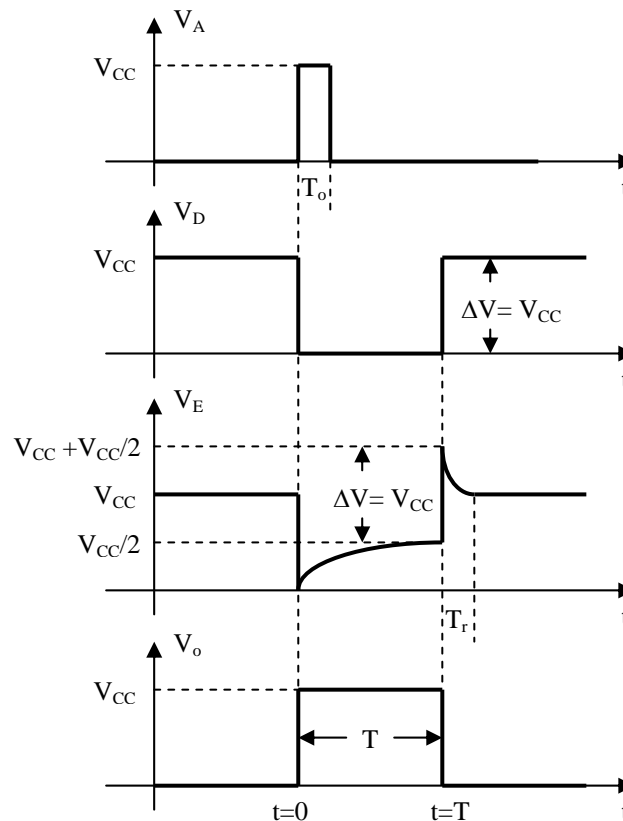


Poiché la tensione ai capi del condensatore C non può cambiare istantaneamente, la stessa variazione di tensione subita da \$V_D\$ dovrà risultare per \$V_E\$: $\Delta V_D(T) = \Delta V_E(T) = V_{CC}$. Quindi,

$$V_E(T) = \Delta V_E(T) + V_C(T) = V_{CC} + \frac{V_{CC}}{2} = \frac{3}{2} V_{CC},$$

poiché la tensione all'ingresso della porta NOT supera \$V_{CC}\$, entra in funzione la limitazione della tensione d'ingresso che limita la tensione a \$V_{CC} + 0,7V\$, e si avrà la rapida scarica del condensatore da \$V_T\$ a zero, ripristinando le condizioni dello stato stabile.

I diagrammi temporali sono riportati di seguito.



Determinazione di T

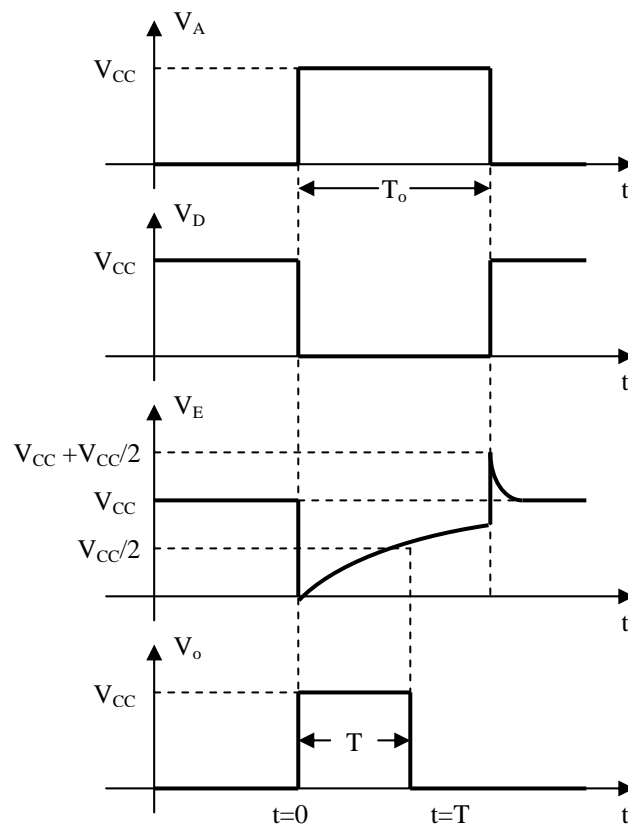
Il condensatore, a partire dall'istante $t = 0$, si carica con costante di tempo $\tau = RC$ da $V_C(0) = 0$ verso V_{CC} , con equazione

$$v_C(t) = V_f + (V_i - V_f) \cdot e^{-\frac{t}{\tau}} = V_{CC} - V_{CC} \cdot e^{-\frac{t}{\tau}} = V_{CC} \left(1 - e^{-\frac{t}{\tau}} \right)$$

Quando la tensione sulla capacità arriva, dopo un tempo T , ($t = T$), a $v_C(T) = V_T = \frac{V_{CC}}{2}$, si ha la commutazione dell'uscita e viene interrotta la carica. Per calcolare T si impone, nell'equazione di carica di C , che al tempo $t = T$, la tensione sul condensatore raggiunga la tensione di soglia V_T dell'ingresso della NOT:

$$v_C(T) = V_{CC} - V_{CC} \cdot e^{-\frac{T}{\tau}} = \frac{V_{CC}}{2} \Rightarrow e^{-\frac{T}{\tau}} = \frac{1}{2} \Rightarrow -\frac{T}{\tau} = \ln \frac{1}{2} \Rightarrow T = \tau \ln 2 = 0,693RC$$

Si deve osservare che, qualora l'impulso di trigger sia di durata maggiore di quello in uscita, quest'ultimo non subisce comunque variazioni: cambia invece la durata dell'impulso V_A che, anziché durare quanto l'impulso di uscita, dura quanto quello in ingresso (come evidenziato dai seguenti diagrammi vettoriali).



Si osservi infine che in questi circuiti! poiché la soglia di commutazione V_T è soggetta a notevoli variazioni, rispetto al valore teorico, sia per tolleranze costruttive che in relazione alla tensione di

alimentazione e al costruttore, la durata dell'impulso può presentare, rispetto al valore teorico, differenze comprese tra il -50% e il +70% (può essere opportuno usare come R un trimmer da tarare sperimentalmente).

Le variazioni della tensione di soglia nell'intorno di $\frac{V_{CC}}{2}$ è pari a $\pm 40\%$ di V_T ; per cui la durata dell'impulso può subire una notevole variazione. Il costruttore garantisce che il valore della tensione di soglia è sicuramente compreso tra $0,3V_{DD}$ e $0,7V_{DD}$. In corrispondenza di tali valori limite calcoliamo la durata massima e minima che può avere l'impulso.

Esprimiamo la durata dell'impulso in funzione della tensione di soglia V_T .

$$v_c(T) = V_{CC} - V_{CC} \cdot e^{-\frac{T}{\tau}} = V_T \Rightarrow e^{-\frac{T}{\tau}} = \frac{V_{CC} - V_T}{V_{CC}} \Rightarrow$$

$$\Rightarrow -\frac{T}{\tau} = \ln \frac{V_{CC} - V_T}{V_{CC}} \Rightarrow T = \tau \ln \frac{V_{CC}}{V_{CC} - V_T}$$

Calcolo di T_M

In questo caso il denominatore della frazione $\frac{V_{CC}}{V_{CC} - V_T}$ deve assumere il minimo valore possibile in modo da produrre un impulso di durata massima. La frazione avrà valore massimo quando V_T assume il suo valore massimo di $0,7V_{CC}$:

$$T_M = \tau \ln \frac{V_{CC}}{V_{CC} - 0,7V_{CC}} = \tau \ln \frac{1}{0,3} = 1,2\tau = 1,73T$$

$$\Delta T\% = \frac{\Delta T_M}{T} \cdot 100 = \frac{T_M - T}{T} \cdot 100 = \frac{1,2 - 0,693}{0,693} \cdot 100 = +73,16\%$$

Calcolo di T_m

In questo caso il denominatore della frazione $\frac{V_{CC}}{V_{CC} - V_T}$ deve assumere il massimo valore possibile in modo da produrre un impulso di durata minima. La frazione avrà valore minimo quando V_T assume il suo valore minimo di $0,3V_{CC}$:

$$T_m = \tau \ln \frac{V_{CC}}{V_{CC} - 0,3V_{CC}} = \tau \ln \frac{1}{0,7} = 0,357\tau = 0,51T$$

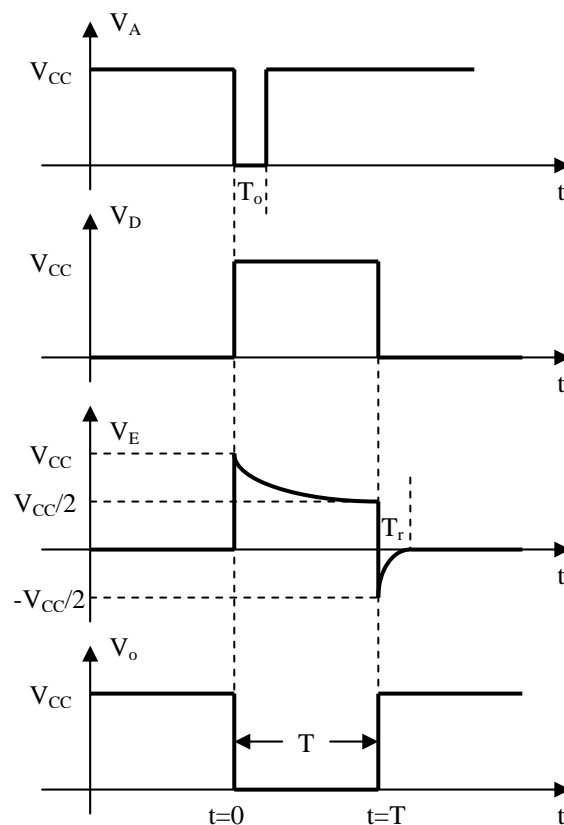
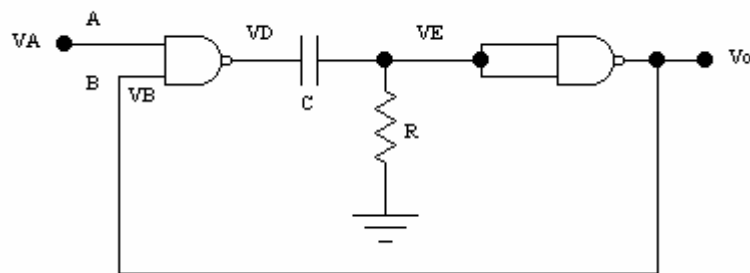
$$\Delta T\% = \frac{\Delta T_m}{T} \cdot 100 = \frac{T_m - T}{T} \cdot 100 = \frac{0,357 - 0,693}{0,693} \cdot 100 = -48\%$$

Il valore che si ottiene è sicuramente compreso tra **$0,51T \leq \text{durata impulso} \leq 1,73T$** .

Durata T_0 dell'impulso d'ingresso

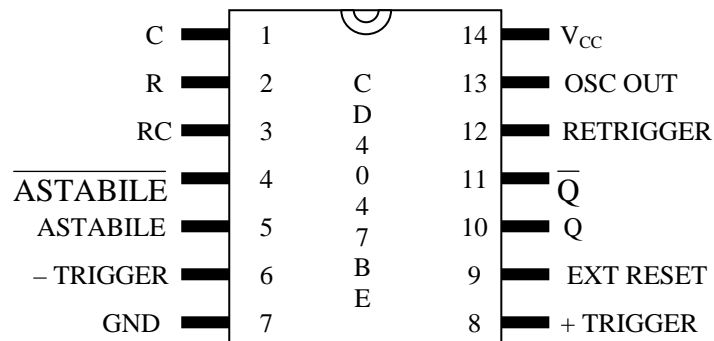
Qualora non sia trascurabile il ritardo di propagazione delle porte logiche, la tensione V_D commuta, anziché nell'istante $t = 0$, in quello $t = t_p$ e così pure la tensione V_E . nell'ipotesi che anche il ritardo di propagazione dell'invertitore sia t_p , la tensione $V_B = V_o$ commuta dopo un tempo $2t_p$ rispetto all'istante nel quale è stato applicato l'impulso. Poiché la tensione V_D rimane a livello basso solo se uno degli ingressi è a livello alto, ne segue che la tensione V_o deve commutare prima che termini l'impulso. Pertanto, la durata minima dell'impulso deve essere superiore a $2t_p$.

Volendo realizzare un monostabile con impulso di trigger negativo si possono usare due NAND, come in figura.



IL CIRCUITO INTEGRATO 4047B

Il circuito integrato CD4047BE è un integrato CMOS che viene utilizzato per realizzare multivibratori astabili e monostabili. Il diagramma delle connessioni è il seguente:



Una capacità esterna (tra i piedini 1 e 3) e una resistenza esterna (tra i piedini 2 e 3) determinano la durata dell'impulso nel funzionamento monostabile, e la frequenza dell'uscita nel funzionamento astabile.

Il funzionamento astabile si ottiene mettendo a livello alto l'ingresso ASTABILE o a livello basso l'ingresso ASTABILE. La frequenza d'uscita (con un duty cycle del 50%) alle uscite Q e Q è determinata dai componenti esterni (R e C) di temporizzazione. Una frequenza doppia di quella su Q è disponibile all'uscita oscillatore (OSC OUT); ma non è garantito un duty cycle del 50%.

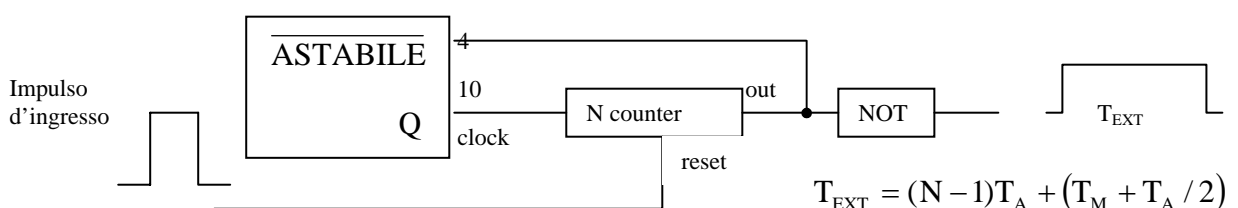
Il funzionamento monostabile si ottiene quando il dispositivo è triggerato da una transizione da basso ad alto sull'ingresso +TRIGGER o da una transizione da alto a basso sull'ingresso -TRIGGER. Il dispositivo può essere retriggerato applicando una transizione da basso ad alto contemporaneamente sugli ingressi +TRIGGER e RETRIGGER.

Un livello alto sull'ingresso RESET resetta l'uscita Q a livello basso e l'uscita Q a livello alto.

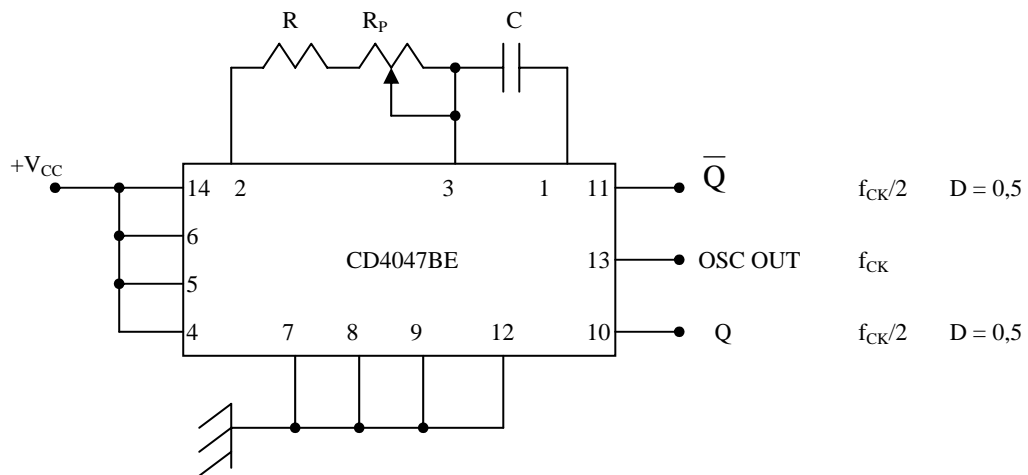
Tabella di funzionamento

Funzione	Connessione dei terminali			Impulso d'uscita	Periodo tipico d'uscita o durata dell'impulso
	A V_{CC}	A GND	Impulso d'ingresso		
Multivibratore astabile					
Oscillazione libera	4, 5, 6,	7, 8, 9, 12		10, 11, 13	$T_A(10, 11) = 4,4RC$
Uscita dritta	14	7, 8, 9, 12	5	10, 11, 13	
Uscita negata	4, 6, 14 6, 14	5, 7, 8, 9, 12	4	10, 11, 13	$T_A(13) = 2,2RC$
Multivibratore monostabile					
Positive edge triggered	4, 14	5, 6, 7, 9, 12	8	10, 11	
Negative edge triggered	4, 8, 14	5, 7, 9, 12	6	10, 11	$T_M(10, 11) = 2,48RC$
Retriggerabile	4, 14	5, 6, 7, 9	8, 12	10, 11	
Contatore esterno (Nota 1)	14	5, 6, 7, 8, 9, 12	Figura 1	Figura 1	Figura 1

Nota 1. Resistenza esterna tra i terminali 2 e 3. capacità esterna tra i terminali 1 e 3.



Il **circuito stabile**, con oscillazione libera, e il seguente:



Funzionamento da monostabile: è possibile lavorare con un trigger che agisce sul fronte di salita (positive edge trigger) o sul fronte di discesa (negative edge trigger); si ha anche la possibilità di retriggerare l'impulso in uscita, cioè di allungarne la durata, applicando un impulso positivo al pin 12.

Un'ultima possibilità d'uso nel modo monostabile si ha tramite un contatore esterno che permette di ottenere impulsi di durata molto lunga (external countdown).

Nel funzionamento monostabile il segnale va prelevato dai pin 10 e 11. Si noti anche la presenza di un ingresso di reset attivo alto che permette di interrompere anticipatamente un ciclo di temporizzazione o di impedirne l'inizio.

La figura a si riferisce al monostabile con trigger positivo, la figura b a quello con trigger negativo.

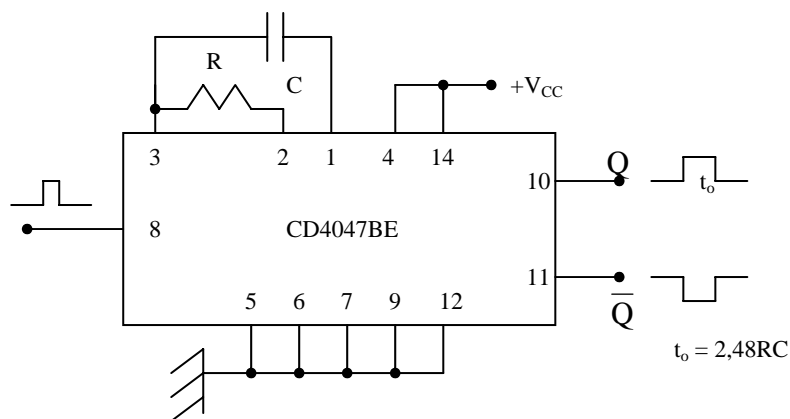


Figura a

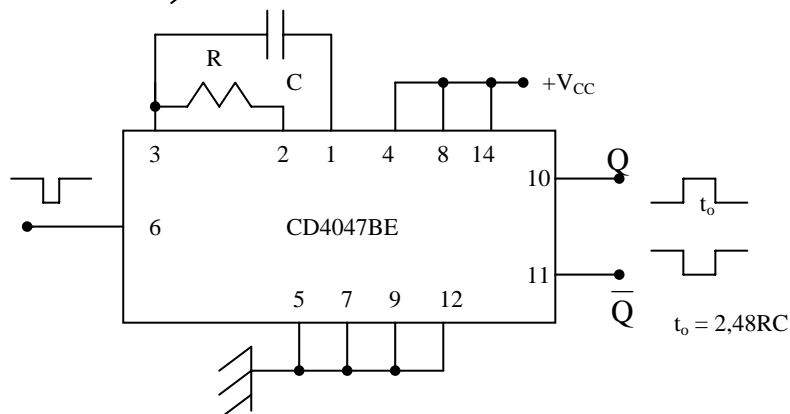


Figura b

Per un dimensionamento corretto si consiglia di usare un valore di R compreso tra $10k\Omega$ e $1M\Omega$ e per C valori $> 100pF$ nel funzionamento astabile, e $> 1000pF$ nel funzionamento monostabile.

Le relazioni di progetto sono:

- **configurazione astabile** $T = 2,2RC$ (OSC OUT) ; $C \geq 100pF$ e $10K\Omega \leq R \leq 1M\Omega$
- **configurazione monostabile** $T = 2,48RC$; $C \geq 1nF$ e $10K\Omega \leq R \leq 1M\Omega$

i condensatori devono essere di tipo non polare (elettrolitici o al tantalio).