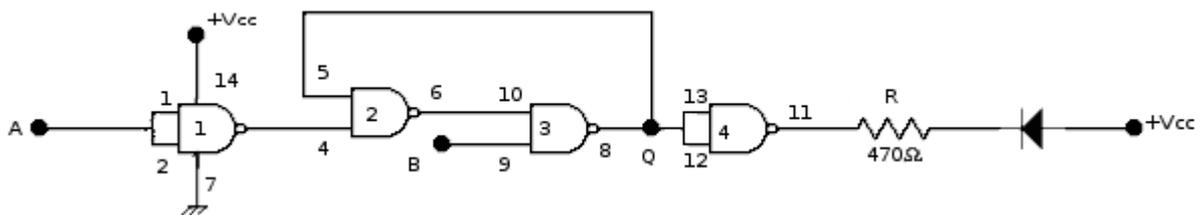


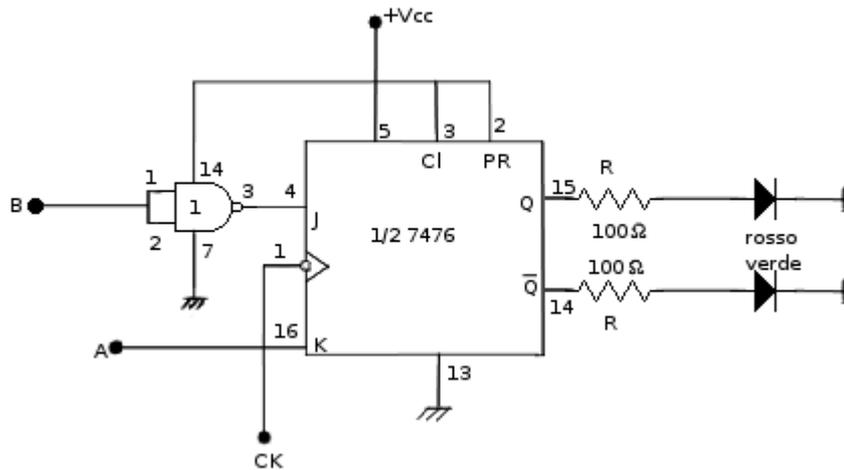
Supervisore Prof. **Giancarlo Fionda**
Insegnante di Elettronica

**PROGETTO E VERIFICA DI UN CIRCUITO SEQUENZIALE SENZA CORSA CRITICA.
PROGETTO E VERIFICA DI UN CIRCUITO SEQUENZIALE CON UNA CORSA
CRITICA. VERIFICA DI UN DIVISORE PER DUE E PER QUATTRO DELLA
FREQUENZA.**

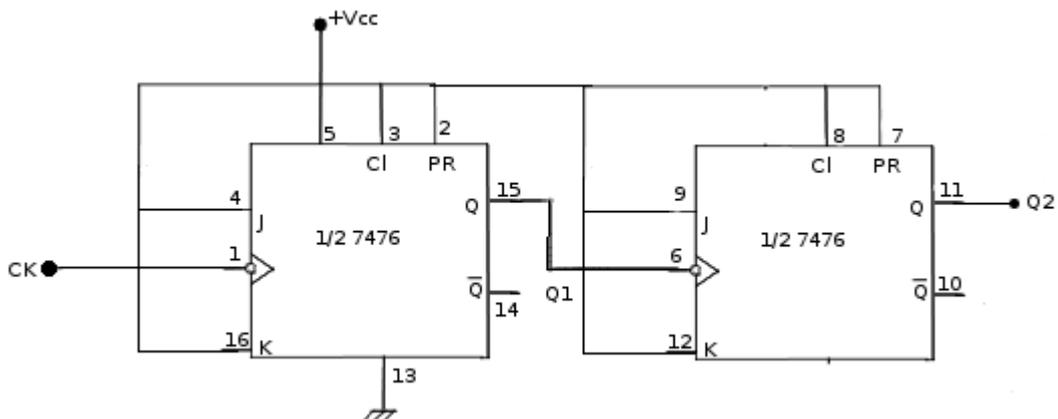
I circuito: sequenziale senza corsa critica



II circuito: sequenziale con corsa critica



III circuito: divisore di frequenza x2 e x4



Definizione dei circuiti

I circuito: Progetto di una rete sequenziale senza corsa critica.

Si vuole realizzare il circuito definito dalla seguente tabella degli stati:

A	B	Q _{n+1}
0	0	1
0	1	Q _n
1	0	1
1	1	0

Il circuito ha tre ingressi:

A, B, Q_n, ossia dipende anche dallo stato precedente dell'uscita.

Si scrive la tabella di verità e si determina la funzione logica con le mappe di Karnough:

A	B	Q _n	Q _{n+1}
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

Q _n \ AB	00	01	11	10
0	1			1
1	1	1		1

$$Q_{n+1} = \bar{B} + \bar{A} Q_n = B * \bar{A} Q_n$$

3 NAND a 2 ingressi

Si realizza il circuito utilizzando un solo integrato, il 7400, contenente 4 porte NAND a due ingressi. Al fine di visualizzare lo stato logico di un uscita senza caricare l'uscita stessa, si utilizza la quarta porta NAND per pilotare un diodo LED che acceso segnala un livello logico "1" (alto), spento un livello logico "0" (basso). In serie al diodo LED si inserisce una resistenza di 470Ω.

II circuito: Progetto di una rete sequenziale con corsa critica.

Si vuole realizzare il circuito avente la seguente tabella degli stati:

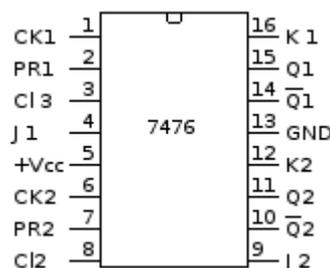
A	B	Q _{n+1}	J	K
0	0	1	1	0
0	1	Q _n	0	0
1	0	Q _n	1	1
1	1	0	0	1

$$J = \bar{B}$$

$$K = A$$

Poiché nella tabella degli stati compare una combinazione rispetto alla quale l'uscita oscilla, il circuito dovrà essere di tipo sincrono. Si utilizza un FFJKNET, il 7476.

Piedinatura

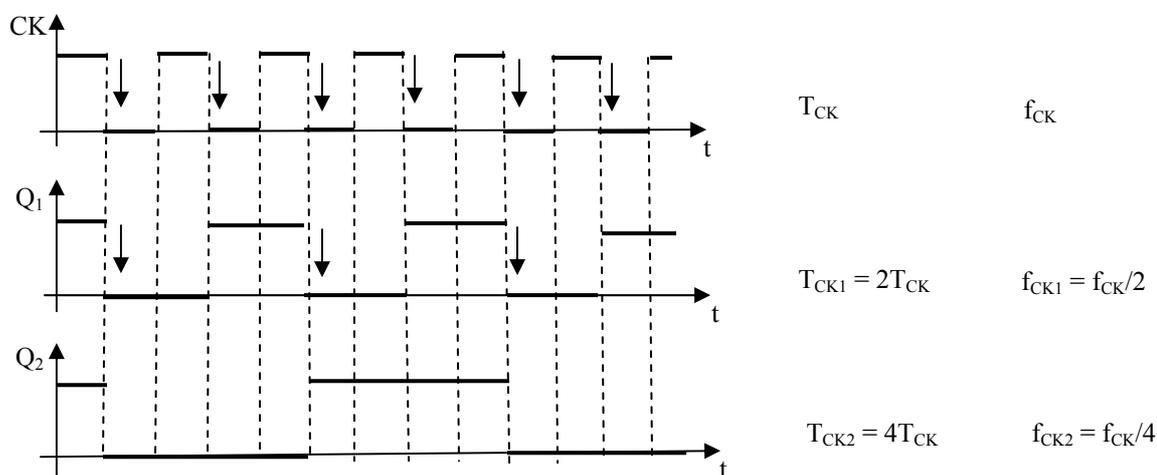


Si utilizza 1/2 7476, poiché tale integrato contiene due FFJK di tipo master-slave, che acquisisce l'ingresso sul fronte di salita del clock, e commuta le uscite sul fronte di discesa del clock. Viene visualizzata l'uscita Q mediante un diodo LED rosso, e l'uscita Q negata mediante un diodo LED verde.

III circuito: Progetto di un divisore di frequenza per 2 e per 4

Si utilizzano due FFJK in configurazione T (gli ingressi J e K vengono collegati assieme a formare un unico ingresso chiamato T), ossia se $T = 1$ l'uscita commuta ad ogni impulso di clock.

Il primo FFJK commuta ad ogni impulso di clock, il secondo ogni volta che l'uscita Q_1 passa dal livello alto a quello basso (generando un fronte di discesa). I segnali CK, Q_1 e Q_2 , correlati, risultano i seguenti:



Procedimento di verifica

I circuito: rete sequenziale senza corsa critica.

Si verifica la tabella degli stati:

$$\left\{ \begin{array}{l} A = 0 \text{ a massa} \\ B = 0 \text{ a massa} \end{array} \right\} \Rightarrow \text{LED acceso} \Rightarrow \text{uscita a "1"}$$

$$\left\{ \begin{array}{l} A = 0 \text{ a massa} \\ B = 1 \text{ a } V_{CC} \end{array} \right\} \Rightarrow \text{lo stato dell'uscita non cambia: diodo acceso}$$

$$\left\{ \begin{array}{l} A = 1 \text{ a } V_{CC} \\ B = 1 \text{ a } V_{CC} \end{array} \right\} \Rightarrow \text{LED spento} \Rightarrow \text{uscita a "0"}$$

$$\left\{ \begin{array}{l} A = 1 \text{ a } V_{CC} \\ B = 0 \text{ a massa} \end{array} \right\} \Rightarrow \text{LED acceso} \Rightarrow \text{uscita a "1"}$$

II circuito: rete sequenziale con corsa critica.

Si collega all'ingresso di clock (pin 1) il segnale di clock prelevato dall'uscita TTL del generatore di funzioni, regolato a $f = 0,3 \div 0,5 \text{ Hz}$ e si verifica la tabella degli stati:

$$\left\{ \begin{array}{l} A = 0 \text{ a massa} \\ B = 0 \text{ a massa} \end{array} \right. \Rightarrow \left\{ \begin{array}{l} \text{rosso acceso} \\ \text{verde spento} \end{array} \right. \Rightarrow \text{uscita a "1"}$$

$$\left\{ \begin{array}{l} A = 0 \text{ a massa} \\ B = 1 \text{ a } V_{CC} \end{array} \right. \Rightarrow \left\{ \begin{array}{l} \text{rosso acceso} \\ \text{verde spento} \end{array} \right. \Rightarrow \text{l'uscita non cambia: rimane a "1"}$$

$$\left\{ \begin{array}{l} A = 1 \text{ a } V_{CC} \\ B = 1 \text{ a } V_{CC} \end{array} \right. \Rightarrow \left\{ \begin{array}{l} \text{rosso spento} \\ \text{verde acceso} \end{array} \right. \Rightarrow \text{uscita a "0"}$$

$$\left\{ \begin{array}{l} A = 0 \text{ a massa} \\ B = 1 \text{ a } V_{CC} \end{array} \right. \Rightarrow \left\{ \begin{array}{l} \text{rosso acceso} \\ \text{verde spento} \end{array} \right. \Rightarrow \text{l'uscita non cambia: rimane a "0"}$$

$$\left\{ \begin{array}{l} A = 1 \text{ a } V_{CC} \\ B = 0 \text{ a massa} \end{array} \right. \Rightarrow \left\{ \begin{array}{l} \text{periodicamente si accende un} \\ \text{diodo e si spegne l'altro} \end{array} \right. \Rightarrow \left\{ \begin{array}{l} \text{l'uscita commuta a ogni} \\ \text{impulso di clock} \end{array} \right.$$

III circuito: divisore di frequenza per 2 e per 4

Si collega il pin 1 (ingresso di clock) all'uscita TTL del generatore di funzioni e al canale CH1 dell'oscilloscopio. Si collega il pin 15 (Q_1) al canale CH2 dell'oscilloscopio. Si regola la frequenza a circa 5Khz. Si devono ottenere il primo e il secondo segnale del grafico su riportato, e si verifica, sovrapponendoli, che $T_{CK1} = 2T_{CK}$.

Si sposta il canale CH2 dell'oscilloscopio sul pin 11 (Q_2) e si regola la frequenza sui 2Khz. Si devono ottenere il primo e il terzo segnale del grafico su riportato, e si verifica, sovrapponendoli, che $T_{CK2} = 4T_{CK}$.