

A cura del Prof. **Giancarlo Fionda**
 Insegnante di Elettronica
 Dell'Istituto Tecnico Industriale Statele A. Monaco di Cosenza

Con la collaborazione dell'alunno **Stefano Andrieri** della classe IV sez. A
 Indirizzo Informatica Sperimentazione ABACUS

Anno scolastico 2009-2010

PROGETTO E VERIFICA DI UN CIRCUITO SEQUENZIALE SENZA CORSA CRITICA

Si ha corsa critica quando nella tabella degli stati, in relazione alla colonna d'uscita, compare \bar{Q}_n . Poiché l'uscita agisce direttamente sugli ingressi, ogni volta che l'uscita commuta (ossia da Q_n diventa \bar{Q}_n), e viene riportata in ingresso, ciò provoca una nuova commutazione dell'uscita, e così di seguito. L'uscita commuta continuamente. In tale circostanza, la rete sequenziale deve essere sincrona, in modo da avere una commutazione ad ogni impulso di clock. Se nella tabella degli stati, in uscita, non compare Q_n , la rete sequenziale può essere realizzata come asincrona.

Definizione di circuito

Si vuole realizzare il circuito definito dalla seguente tabella degli stati.

A	B	Q_{n+1}
0	0	1
0	1	Q_n
1	0	1
1	1	0

Il circuito ha tre ingressi: A, B, Q_n , ossia dipende anche dallo stato precedente dell'uscita. Il circuito può essere realizzato sia in modo asincrono sia in modo sincrono, utilizzando un flip-flop.

Circuito asincrono

Si scrive la tabella di verità e si trova, con le mappe di Karnaugh, l'equazione logica algebrica in forma minima.

A	B	Q_n	Q_{n+1}
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

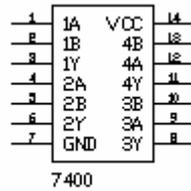
		AB			
		00	01	11	10
Q_n	0	1			1
	1	1	1		1

$$Q_{n+1} = \bar{B} + \bar{A}Q_n = \overline{B \cdot \overline{AQ_n}}$$

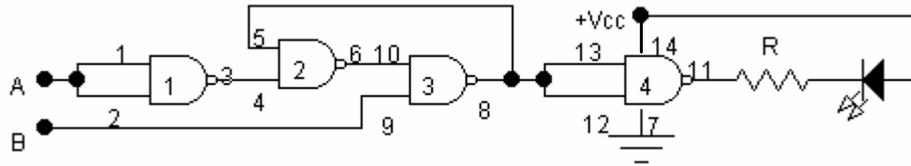
Applicando De Morgan, si ottiene l'equazione logica realizzabile con sole porte NAND a 2 ingressi. Occorrono, per il circuito, 3 porte NAND a 2 ingressi.

Si utilizza l'integrato 74LS00, contenente 4 porte NAND a 2 ingressi. Al fine di visualizzare lo stato logico d'uscita senza caricare l'uscita stessa, si utilizza la quarta porta NAND per pilotare un diodo LED, che acceso segnala un livello logico "1" dell'uscita, spento un livello logico "0".

Piedinatura del 74LS00



Schema del circuito



Al fine di dimensionare il valore della resistenza R si impone: $V_{CC} = 5V$; $V_{OLMAX} = 0,4V$; $I_F = 5mA$; $V_F = 2V$:

$$R = \frac{V_{CC} - V_F - V_{OLMAX}}{I_F} = \frac{5 - 2 - 0,4}{5 \cdot 10^{-3}} = 520\Omega, \quad \text{valore commerciale } 470\Omega.$$

Gli stati logici sugli ingressi A e B si ottengono collegando l'ingresso a massa per avere uno "0" logico (livello basso), collegando l'ingresso a Vcc per avere un "1" logico (livello alto).

Circuito sincrono

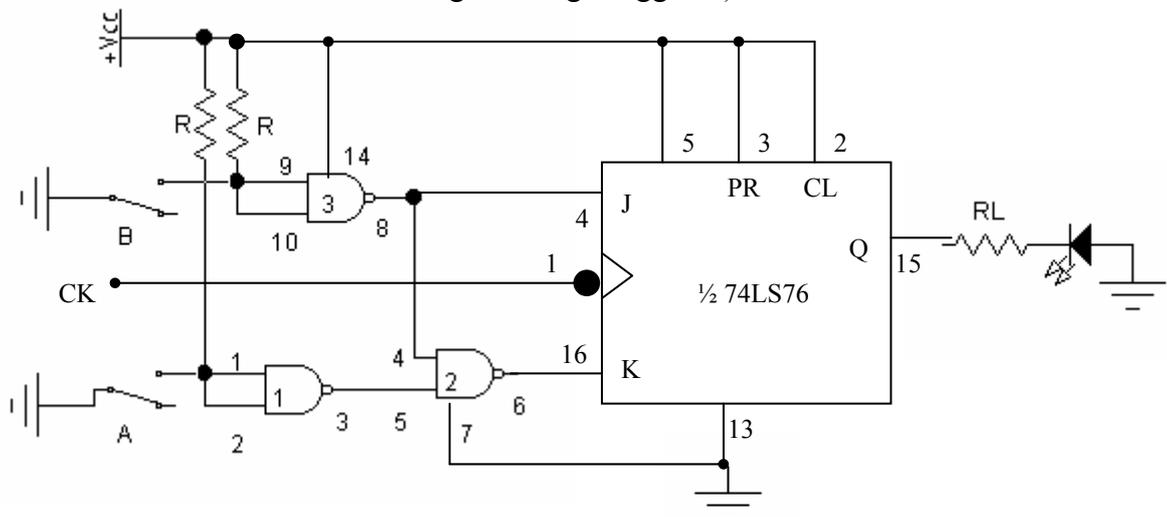
Si utilizza il flip-flop JK negative edge-triggered. Si determinano le equazioni degli ingressi J e K.

$$J = \overline{A}\overline{B} + A\overline{B} = \overline{B}(A + \overline{A}) = \overline{B}$$

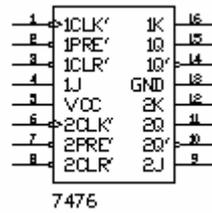
$$K = AB = \overline{\overline{AB}}$$

A	B	Q_{n+1}	J	K
0	0	1	1	0
0	1	Q_n	0	0
1	0	1	1	0
1	1	0	0	1

La rete combinatoria di comando degli ingressi J e K viene realizzata con 3 porte NAND a due ingressi. Si utilizzano i circuiti integrati 74LS00 (4 NAND a 2 ingressi) e 74LS76 (2 flip-flop JK master-slave che funzionano come dei negative edge-triggered).



Piedinatura 74LS76



Per definire lo stato logico degli ingressi A e B si utilizzano due microswitch: se chiusi cortocircuitano gli ingressi a massa, 0 logici se aperti vengono collegati a +V_{CC} attraverso la resistenza R di 12K Ω , portando la tensione sugli ingressi a circa V_{CC}, 1 logico.

Per dimensionare il valore della resistenza R_L, si impone: V_{CC} = 5V; V_{O_HMIN} = 2,4V; I_F = 5mA; V_F = 2V:

$$R_L = \frac{V_{OHMIN} - V_F}{I_F} = \frac{2,4 - 2}{5 \cdot 10^{-3}} = 80\Omega, \quad \text{valore commerciale } 100\Omega.$$

Sigle e valori dei componenti

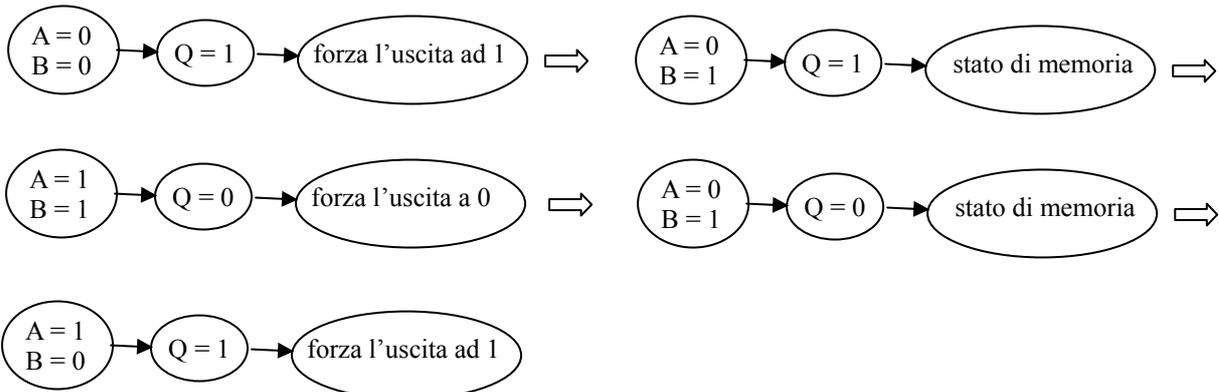
Ic : 74LS00 ; 74LS76 ; Diodo LED rosso ; R : 470 Ω ; 2x12K Ω ; 100 Ω

Apparecchiature e strumenti

Basetta di bread board; alimentatore stabilizzato 5V; generatore di funzioni.

Procedimento

1. Si monta il circuito asincrono e si collega l'alimentatore
2. Si collegano A e B a massa (A = 0 e B = 0) e si verifica che il diodo è acceso, uscita alta, "1" logico.
3. Si collega A a massa e B a V_{CC} (A = 0 e B = 1) e si verifica che il diodo continua a essere acceso; lo stato dell'uscita non cambia, stato di memoria.
4. Si collegano A e B a V_{CC} (A = 1 e B = 1) e si verifica che il diodo LED è spento, uscita bassa. "0" logico.
5. Si collega A a massa e B a V_{CC} (A = 0 e B = 1) e si verifica che il diodo continua a essere spento; lo stato dell'uscita non cambia, stato di memoria.
6. Si collega A a V_{CC} e B a massa (A = 1 e B = 0) e si verifica che il diodo LED è acceso, uscita alta, "1" logico.
7. Si riportano i rilievi sperimentali in un diagramma sequenziale-temporale.



8. Si monta il circuito sincrono, si collega l'alimentatore e si collega all'ingresso di clock l'uscita TTL del generatore di funzioni regolato a una frequenza di 0,1Hz (in modo da poter cambiare gli ingressi senza che vengano alterate le uscite). Lo stato del clock può essere controllato da un diodo LED. In alternativa, l'ingresso di clock può essere pilotato da un interruttore privo di rimbalzi, in modo da evitare eventuali commutazioni indesiderate. Una apertura e chiusura (o viceversa) dell'interruttore produce un impulso di clock.
9. Si chiudono gli interruttori, $A = B = 0$, e al successivo impulso di clock il diodo (se non è acceso) si accende, segnalando un 1 logico in uscita. Ai successivi impulsi di clock l'uscita resta ad 1, ossia tale combinazione forza l'uscita a 1.
10. Si lascia chiuso A ($A = 0$) e si apre B ($B = 1$); al successivo impulso di clock il diodo LED rimane acceso, e tale resta ai successivi impulsi di clock.
11. Si aprono entrambi gli interruttori ($A = B = 1$); al successivo impulso di clock il diodo LED si spegne, uscita bassa, "0" logico. Ai successivi impulsi di clock l'uscita resta a "0", ossia tale combinazione forza l'uscita a "0".
12. Si chiude A ($A = 0$) e si lascia B aperto ($B = 1$); al successivo impulso di clock il diodo LED rimane spento, e tale resta ai successivi impulsi di clock. Tenendo conto del risultato del punto 10 si può concludere che in relazione a tale combinazione, l'uscita non cambia, ossia ricorda lo stato precedente (stato di memoria).
13. Si apre A ($A = 1$) e si chiude B ($B = 0$); al successivo impulso di clock il diodo si accende, segnalando un 1 logico d'uscita. Ai successivi impulsi di clock l'uscita resta ad 1, ossia anche tale combinazione forza l'uscita ad 1.